

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-173165

(43)Date of publication of application : 07.07.1989

(51)Int.Cl.

G06F 15/347

(21)Application number : 62-330244

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.12.1987

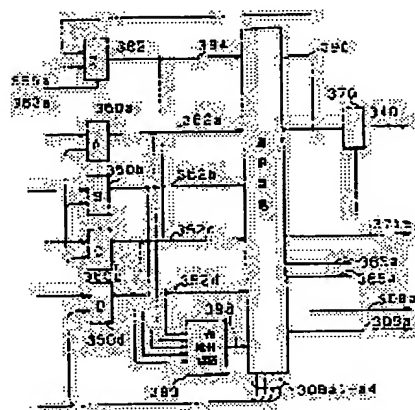
(72)Inventor : KITAI KATSUYOSHI
INAGAMI YASUHIRO
TAMAOKI YOSHIKO

(54) VECTOR DATA PROCESSOR

(57)Abstract:

PURPOSE: To surely prevent the occurrence of bank conflicts by setting 1st and 2nd address holding means, a selection means and a detection means in response to each bank.

CONSTITUTION: The 1st address holding means 350aW350d are used together with a selection means 390 which selects one of those addresses held by the 1st address holding means, and a 2nd address holding means 362 which holds the selected address. Furthermore, a detection means 380 compares an after- runner address with a forerunner address held by the 1st and 2nd address holding means and detects the coincidence (identity) between both addresses. These means are all set in response to banks. Then the address where a read request is given to a main memory and the data read out of said address are held in response to each bank. Thus the same continuous or discontinuous addresses are surely detected and the reading request frequencies of these addresses can be decreased. Then the deterioration in performance due to the bank conflicts can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

平1-173165

⑬ Int.Cl.⁴

G 06 F 15/347

識別記号

庁内整理番号

A-7056-5B

⑭ 公開 平成1年(1989)7月7日

審査請求 未請求 発明の数 2 (全43頁)

⑮ 発明の名称 ベクトルデータ処理装置

⑯ 特 願 昭62-330244

⑰ 出 願 昭62(1987)12月28日

⑱ 発 明 者 北 井 克 佳 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑲ 発 明 者 稲 上 泰 弘 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑳ 発 明 者 玉 置 由 子 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ㉒ 代 理 人 弁理士 武 頭 次 郎 外1名

明 細 書

1. 発明の名称

ベクトルデータ処理装置

2. 特許請求の範囲

1. ベクトルデータ保持手段と複数のバンクからなる主記憶装置との間で、アクセス要求に従ってロード又はストアのためのデータ転送を行なうベクトルデータ処理装置において、前記ベクトルデータの要素の前記主記憶装置上のアドレスであつて前記データ転送を行なうデータ転送手段より転送される複数のアドレスをその都度保持する第1のアドレス保持手段と、前記第1のアドレス保持手段に保持されたアドレスの1つを選択する選択手段と、前記選択手段が選択したアドレスを保持する第2のアドレス保持手段と、前記第1及び第2のアドレス保持手段にそれぞれ保持された後発及び先発のアドレスを比較して相互の一致性を検出する検出手段と、前記一致性が検出されたときそのアドレスに対するアクセス要求を1つのみに制限して実行す

るアクセス抑止手段とを備え、前記第1及び第2のアドレス保持手段、選択手段、並びに、検出手段は、前記各バンクに対応して設けていることを特徴とするベクトルデータ処理装置。

2. ベクトル・ロード命令実行時に、前記選択手段により選択され前記第2のアドレス保持手段により保持されたアドレスによつて読み出されたデータを保持させる読み出しデータ保持手段を備えたことを特徴とする特許請求の範囲第1項記載のベクトルデータ処理装置。

3. ベクトル・ストア命令実行時に、前記選択手段により選択され前記第2のアドレス保持手段により保持されたアドレスに書き込むデータを保持させる書き込みデータ保持手段を備えたことを特徴とする特許請求の範囲第1項記載のベクトルデータ処理装置。

4. 前記アクセス抑止手段は、ベクトル・ロード命令実行時に、アドレスの一致するアクセス要求のうち、最先のアクセス要求のみを実行し、他のアクセス要求を抑止するように構成された

特許請求の範囲第1項記載のベクトルデータ処理装置。

5. 前記アクセス抑止手段は、ベクトル・ストア命令実行時に、アドレスの一致するアクセス要求のうち、最終のアクセス要求のみを実行し、他のアクセス要求を抑止するように構成された特許請求の範囲第1項記載のベクトルデータ処理装置。

6. インデクス付きベクトル・ロード命令を実行する場合に、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがあれば、一致するアドレスに対する主記憶アクセスを抑止して前記読み出しデータ保持手段からデータをコピーするようにし、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがなく、かつ前記第1のアドレス保持手段が保持しているアドレスの中でアドレスが一致するものがあれば、

複数のデータ転送手段から転送されるアドレスを保持させ、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがあれば、一致するアドレスに対する主記憶アクセスを抑止して前記読み出しデータ保持手段からデータをコピーするようにし、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがなく、かつ、前記第1のアドレス保持手段が保持しているアドレスの中でアドレスが一致するものがあれば、一致するアドレスに対する主記憶アクセス回数を減らし、アクセスの実行されたアクセス要求元のベクトルデータ保持手段に前記読み出しデータ保持手段からデータを転送すると共に、アクセスの実行されなかつたアクセス要求元のベクトルデータ保持手段にも前記読み出しデータ保持手段からデータをコピーするようにした特許請求の範囲第2項又は第4項記載のベクトル

(2) 一致するアドレスに対する主記憶アクセス回数を減らし、アクセスの実行されたアクセス要求元のベクトル・データ保持手段に前記読み出しデータ保持手段からデータを転送すると共に、アクセスの実行されなかつたアクセス要求元のベクトルデータ保持手段にも前記読み出しデータ保持手段からデータをコピーするようにした特許請求の範囲第2項記載のベクトルデータ処理装置。

7. インデクス付きベクトル・ストア命令を実行する場合に、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがなくなるまで、前記第2のアドレス保持手段が保持しているアドレスに対する主記憶アクセスを抑止するようにした、特許請求の範囲第3項又は第5項記載のベクトルデータ処理装置。

8. 複数の異なるベクトル・ロード命令を実行する場合に、前記第1のアドレス保持手段に、

データ処理装置。

9. 複数の異なるベクトル・ストア命令を実行する場合に、前記第1のアドレス保持手段に、複数のデータ転送手段から転送されるアドレスを保持させ、前記第1のアドレス保持手段が保持しているアドレスの中で、前記第2のアドレス保持手段が保持しているアドレスと一致するものがなくなるまで、前記第2のアドレス保持手段が保持しているアドレスに対する主記憶アクセスを抑止するようにした特許請求の範囲第3項又は第5項記載のベクトルデータ処理装置。

10. 1つのベクトル・ロード又はストア命令に対し、複数の要素が同時に並列的に転送されるように構成された特許請求の範囲第1項ないし第9項のいずれか1つに記載のベクトルデータ処理装置。

11. ベクトル・データ保持手段と複数のバンクからなる主記憶装置との間で、アクセス要求に従ってロード又はストアのためのデータ転送を行

(3)

なうベクトルデータデータ処理装置において、前記ベクトルデータの要素の前記主記憶装置上のアドレスであつて前記データ転送を行なうデータ転送手段より転送される複数のアドレスをその都度保持する第1のアドレス保持手段と、前記第1のアドレス保持手段に保持されたアドレスの1部を選択する選択手段と、前記選択手段が選択したアドレスを保持する第2のアドレス保持手段と、前記第1及び第2のアドレス保持手段にそれぞれ保持された後発及び先発のアドレスを比較して相互の一致性を検出する検出手段と、前記一致性が検出されたときそのアドレスに対するアクセス要求を1つに制限して実行するアクセス抑止手段と、前記バンクから読み出されたデータを保持する読み出しデータ保持手段と、前記バンクへ書き込まれるデータを保持する書き込みデータ保持手段とを備え、前記第1及び第2のアドレス保持手段、選択手段、検出手段、読み出しデータ保持手段、並びに、書き込みデータ保持手段は、前記各バンクに対

応するように、かつ、前記第2のアドレス保持手段、読み出しデータ保持手段、及び、書き込みデータ保持手段は、前記各バンクに複数個ずつ対応するように設けていることを特徴とするベクトルデータ処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ベクトル計算機におけるベクトルデータ処理装置に係わり、特に、同一の主記憶アドレスをアクセスするインデクス付きベクトル・ロード/ストア命令や同一の主記憶アドレスをアクセスする複数のベクトル・ロード/ストア命令を効率よく実行するベクトルデータ処理装置に関する。

(従来の技術)

一般にベクトル計算機で取り扱うベクトル・データには、ベクトル・データを構成する要素(通常8バイト単位)が、主記憶上に一定の間隔で配置されるベクトル・データと、主記憶上にランダムに配置されるベクトル・データの2種類がある。

これらのベクトル・データの各要素のアドレスは次のようにして求まる。前者は、ベクトル・データの先頭アドレスを保持するレジスタ(ベクトル・ベース・レジスタ、以下VBRと略す)と隣り合う要素間の距離を保持するレジスタ(ベクトル増分レジスタ、以下VIRと略す)とにより、ベクトル・データのn番目の要素のアドレスは、VBRの内容にVIRの内容にnを乗じた結果を加えたもの($VBR + VIR * n$)となる。後者は、VBRと要素ごとに先頭要素からの距離を表すいわゆるリスト・ベクトルを保持するベクトル・レジスタとにより、ベクトル・データのn番目の要素のアドレスは、VBRの内容とリスト・ベクトルを保持するベクトル・レジスタのn番目の要素の内容を加えたもの($VBR + VR$ の第n要素)となる。

一般にベクトル計算機では、例えば、特許公報昭61-52512号に記載のように、複数の同時に動作する演算パイプラインを設け、大量のベクトル・データを高速に処理する。また、上記

のように主記憶上に配置されているベクトル・データを、演算パイプライン群が必要とするデータ量に見合ったスループットで供給できるように、主記憶を複数のバンクに分割し、さらに、同時に動作するロード/ストア・パイプラインを複数個設けている。

1個のベクトル命令の処理を高速化することを考えた場合、同一種類の同時に動作する複数の演算パイプラインやロード/ストア・パイプラインをたばにして、ベクトル・データの各要素を各パイプラインに振り分け、たばにしたパイプラインの個数に等しい要素数単位で処理を行う、いわゆる要素並列型のパイプライン構成がとられることがある。つまり、同一種類のパイプラインが4個ずつパイプライン0ないしパイプライン3まである場合には、 $4n + i$ (nは0または自然数、iは0~3)番目の要素を4要素同時にパイプラインiで処理し、次に、 $4(n + 1) + i$ 番目の要素を4要素同時にパイプラインiで処理するということのように、4要素単位でパイプライン処理を行

うものである。

要素並列型のパイプライン構成をとるベクトル計算機においては、主記憶上にランダムに配置されたベクトル・データは以下の手順によりパイプライン的にアクセスされる。今、例えば、4要素並列の構成になっているロード/ストア・パイプラインにより、インデクス付きロード命令およびインデクス付きストア命令を実行する場合を、第7図を用いて説明する。インデクス付きロード/ストア命令は、リスト・ベクトルを用いて、主記憶上にランダムに配置されるベクトル・データをロード/ストアする命令である。第7図では、簡単のため、主記憶は4バンクからなるとしている。

第7図において、100はVRAないしVRDからなるベクトル・レジスタ(VR)、106はベクトル・ベース・レジスタ(VBR)、200はアドレス発生部、210aないし210dは加算器、220は一致検出回路、300は主記憶制御部、310はメモリ・リクエスト、400はバンク0ないしバンク3からなる主記憶、800は

(4)

アクセス・データ処理部である。この例では、ベクトルレジスタ100のVR0部は主記憶上のアドレス保持用に、VR1以降はベクトル・データ保持用に使われる。

まず、主記憶上にランダムに配置されているベクトル・データをベクトル・レジスタへロードするインデクス付きロード命令を実行する場合について述べる。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合について述べる。

ベクトル・レジスタ100のVRAないしVRDは、それぞれ、要素番号が $4n$ 、 $4n+1$ 、 $4n+2$ 、 $4n+3$ のデータを保持する。インデクス付きロード命令で用いるリスト・ベクトルを保持するVR0のVRAないしVRDより1要素ずつ、計4要素分のリスト・ベクトルが読み出され、読み出された4要素の各リスト・ベクトルは、アドレス発生部200へ送られる。

アドレス発生部200は、加算器210aない

し210dを用いて、ベクトル・ベース・レジスタ106のVBR0が保持する内容と、VR0から読み出された内容を加え、主記憶より読み出すデータのアドレスを計算する。アドレス発生部200は、求めた4個のアドレスを主記憶制御部300へ送る。

主記憶制御部300内のメモリ・リクエスト310は、主記憶400が複数個(第7図においては4個)のバンクからなること、および、アドレス発生部200より同時に複数個のアクセス要求が送られてくるため、主記憶400のバンク・ビジーのチェックやアクセス要求の優先順位の決定などを行う。メモリ・リクエスト310は、アクセス要求の優先順位を決定したのち、アドレス発生部200より送られてきたアドレスが属する主記憶400のバンクに対してアクセス要求を出す。

今、アドレス発生部200より送られてきた4個のアクセス要求の中で、同一バンクに対する要求が2個あつた場合には、いわゆるバンク・コン

フリクト(バンク競合)が生じる。この場合には、まず1個が選択され、バンク・アクセス時間後に、残りの1個が選択されることとなる。つまり、同一のバンクにアクセス要求が複数個あると、2個目以降のアクセスはバンク・アクセス時間ずつ遅れることとなり、スループットは低下する。また、データの読み出し処理または書き込み処理が行われている時(バンク・ビジーの時)にアクセス要求があれば、現在処理中の処理が終わるまで、アクセス要求のあつたアドレスに対するデータの読み出しは待たされることとなる。したがって、できるだけ同一のバンクにアクセス要求が集中しないことが望ましい。逆に、バンク・コンフリクトが生じない限り、毎マシン・サイクル4要素ずつ送られてくるアクセス要求が処理される。

主記憶400を構成するバンク0ないしバンク3は、メモリ・リクエスト310から送られてきたアドレスのデータを読み出し、バンク・サイクル時間後に読み出したデータをアクセス・データ処理部800へ送出する。アクセス・データ処理

(5)

部800へ送出されたデータは、ベクトル・レジスタ100のVR1に格納される。

以上の手順により、インデクス付きロード命令は実行される。

次に、インデクス付きストア命令の場合について、第7図を用いて説明する。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされる主記憶に、VR1が保持しているベクトル・データを書き込む場合について述べる。

ストア命令の場合には、VR0のVRAないしVRDより1要素ずつ計4要素分のリスト・ベクトルを読み出すと同時に、ストアするデータもVR1のVRAないしVRDより1要素ずつ計4要素分読み出す。VR0から読み出されたリストベクトルはアドレス発生部200へ、VR1から読み出されたデータはアクセス・データ処理部800へ送られる。

アドレス発生部200は、加算器210aないし210dを用いて、ベクトル・ベース・レジ

スタ106のVBR0が保持する内容と、VR0から読み出された内容を加え、主記憶より読み出すデータのアドレスを計算する。アドレス発生部200は、求めた4個のアドレスを主記憶制御部300へ送る。

主記憶制御部300内のメモリ・リクエスト310は、アクセス要求の優先順位を決定したのち、アドレス発生部200より送られてきたアドレスが属する主記憶400のバンクに対してアクセス要求を出す。また、主記憶400のバンクに対してアクセス要求が出されるのと同期して、アクセス・データ処理部800は、ストア・データを主記憶400のバンクに送出する。こうして、インデクス付きストア命令が実行される。

上記の説明よりわかるように、近隣する要素番号のベクトル・データが互いに異なるバンクに存在すれば、1マシン・サイクル当たり4個のデータを読み出したり書き込んだりできる。しかし、近隣する要素番号のベクトル・データが同一のバンクに存在する場合には、バンク・コンフリクト

のために、1回のバンク・コンフリクト当たりバンク・サイクル時間の遅延を生じ、主記憶からのデータの読み出しや書き込みが間欠的になつてしまう。一般に現在のベクトル計算機では、近隣する要素番号のベクトル・データが同一のバンクに存在しないようにするために、主記憶のバンク数を64ないし256もの大きな値としている。

しかし、例えば科学技術計算においてよくあられる階段関数をリスト・ベクトルとして主記憶をアクセスする場合には、同一のアドレス（同一要素）を連続してアクセスするために、バンク数を増加させてもバンク・コンフリクトの回数を減らすことはできない。ここで、階段関数 $y = f(x)$ （但し x は整数とする）は、複数個の連続する x の値に対して、同一の y をとる関数である。

そこで、従来は、公開特許公報昭62-115571号（以下「文献A」と記す）に記載されているように、第7図において、ベクトル・レジスタ100の同時に読み出されるVRAないしVRD対応にアドレス加算器を設けているアドレス発生部200

にアドレスの一致検出回路380を設けている。一致検出回路380は、4つの間接アドレス（インデクス）について一致するものの有無を検出し、一致情報をアクセス・データ処理部800とメモリ・リクエスト310に送る。メモリ・リクエスト310は、一致情報を用いて、同一アドレスに対する2ないし4個のアクセス要求の中で、ロード命令の場合には要素番号の一番小さいもの（VRA、VRB、VRC、VRDの順に小さい）以外のアクセス要求を抑止し、ストア命令の場合には要素番号の一番大きいものの以外のアクセス要求を抑止する。つまり、要素番号順で処理をするので、ロードの場合、要素番号の一番小さいもの（早いもの）で処理すれば早くすみ、又、ストアの場合、順に書き込みを重ねて行けば、最後に一番要素番号の大きなもの（遅いもの）が残るわけである。アクセス・データ処理部800は、一致情報を用いて、ロード・アクセスの場合には、主記憶400から送られたデータを抑止されたアクセス要求にも分配し、ストア・アクセスの場合には、アドレ

(6)

スが一致した要素の中で要素番号の一番大きい要素のデータのみを主記憶400へ送出する。

このようにして、ベクトル・レジスタ100のVRAないしVRDから同時に読み出された4つのリスト・ベクトルに関しては、一致するものの有無を検出し、同一アドレスに対する2ないし4個のアクセス要求の中で、ロード命令の場合には要素番号の一番小さいものの以外のアクセス要求を抑止し、ストア命令の場合には要素番号の一番大きいものの以外のアクセス要求を抑止することにより、バンク・コンビューコンフリクトの発生を防いでいた。

一方、本出願人は、さきに、特願昭61-22650号（以下「文献B」と記す）により、複数のベクトル・レジスタと、複数のバンクを有する主記憶装置との間で、メモリリクエストを用いてデータの転送を行なうベクトル・データ処理装置において、シリアルに送られる連続したベクトル要素間のアドレスを比較する比較器をパイプラインに対応して設け、ベクトル・ロード時に前記比較器の

比較結果が一致した場合には、後発のリクエスト（アクセス要求）をキャンセルするか、ダミーとして処理し、ベクトル・ストア時に前記比較結果が一致した場合には、前発のリクエストをキャンセルすることで、バンク・コンフリクトを防止する方法を提案し、すでに公開されている。

（発明が解決しよとする問題点）

しかし、上記文献Aに示す従来の技術では、ベクトル・レジスタ100のVRAないしVRDから同時に読み出された4つの要素のアドレスに関しては、同時に処理される要素対応にアドレス加算器が設けられているアドレス発生部にアドレスの一致検出回路を備えることにより、一致するものの有無を検出し、同一アドレスに対する複数のアクセス要求の中で、ロード抑止命令の場合には要素番号の一番小さいものの以外のアクセス要求を抑止し、ストア命令の場合には要素番号の一番大きいものの以外のアクセス要求を抑止することにより、バンク・コンフリクトの発生を防ぐことができるが、同時に読み出された4つの要素のアド

レスと次に同時に読み出された4つの要素のアドレスとにわたって、一致するものの有無を検出し、同一アドレスに対する複数のアクセス要求を1個に抑止することは考慮されていなかった。

このため、例えば、 $4n$ 個の要素の値がすべて等しいリスト・ベクトルを用いて主記憶をアクセスする場合、上記従来の技術では、 n 回のバンク・コンフリクトが発生し、バンク・サイクル時間を T_b とした時、 $n \times T_b$ 時間もの処理時間を要した。

一方、^{上記B}文献に示す従来の技術では、専らシリアルに転送される直前直後の要素間でのバンク・コンフリクト問題のみを考慮したものであつて、要素並列型のロード/ストア・パイプラインに対しては何も考慮されていないため、この種の要素並列型における並列の要素間でのバンク・コンフリクトを解決することはできない。

そこで、上記文献Bの装置を、上記文献Aのように要素並列型に拡張変更することが考えられるが、単に上記文献と上記文献A^Bと合わせても、

実現することはできない。そのわけは、以下に詳しく述べるように、(1)、上記文献Bの装置は、単に同一ライン上の直前直後のアドレスを比較するだけであつて、主記憶装置にリクエストの出されたアドレスを少なくとも各バンク1個ずつ保持しておく保持手段がないため（この点、上記文献Aも同様）、後続のリクエストをチェックしてキャンセルするとはできないこと、及び、(2)、上記文献Bの装置は、要素間のアドレスを比較してその一致を検出する装置（比較器）が（主記憶制御装置内にバンク対応で設けていなくて）アクセス・パイプライン上に該アクセスパイプライン対応で設けてあるに過ぎないこと（この点も上記文献Aと同様）による。

例えば、上記拡張変更したものにおいて、並列要素数（パイプライン数）及び主記憶上のバンク数を共に4とし、先発の $i, i+1, i+2, i+3$ と、後発の $i+4, i+5, i+6, i+7$ の8要素の比較を行つてその一致性を調べる場合を考える。具体的なアドレス列を、

主記憶4バンク

アドレス列 1, 1, 2, 2, | 2, 2, 1, 1, | 1, 1, 2, 2 | ...
 とすると、主記憶へのリクエストは、アドレス1とアドレス2に対して1回ずつ出せばよいが、そのためには、主記憶へリクエストの出されたアドレスを少なくとも各バンクに対応して1個ずつ保持しておく必要がある。しかし、上記文献A及びBでは、この保持手段に関する配慮はされていないため、この例でのアドレスの一致は検出できない。文献A、Bを合せても、検出できるのは、同一ライン上に前後して同一のアドレスが続く場合と、同時にライン間に同一アドレスが存在する場合に限られ、それ以外の場合での検出は不可能からである。

又、具体的なアドレス列として、

1, 1, 5, 5, | 5, 5, 1, 1, | 1, 1, 5, 5 | ...
 のように、アドレス1とアドレス5とでバンク・コンフリクトを生じる場合、アドレス1のデータもアドレス5のデータも同一のバンク（いずれもバンク#1）から読み出されることになる。この

他のアクセス要求（例えば、ロード命令の場合には要素番号の一番小さいものの以外のアクセス要求、ストア命令の場合には要素番号の一番大きいものの以外のアクセス要求）を抑止することにより、より確実にバンク・コンフリクトの発生を防ぐようにしたベクトルデータ処理装置（例えば、4n個の要素の値がすべて等しいリスト・ベクトルを用いて何回も主記憶をアクセスする場合、バンク・サイクル時間を T_b とした時、 $1 \times T_b$ 時間の処理時間で処理を行えるようなベクトルデータ処理装置）を提供することにある。

さらに、要素並列型のロード/ストア・パイプラインを複数個設け、各々のロード/ストア・パイプラインで、異なるベクトル・ロード/ストア命令を実行した場合には、異なるベクトル・ロード/ストア命令が同一のアドレスを参照し、1つのインデックス付きロード/ストア命令を実行する場合と同じく、バンク・コンフリクトが生じることがある。例えば、ベクトル・データAを最初の要素から順に100要素ロードする命令と、2番

(7)

ような場合、アドレス1やアドレス5のデータがいつ読み出されるかというタイミングを管理しなければ、キャンセルした要素のデータを正しくコピーすることはできない。この、いつ読み出されるかというのは、アドレスの一致をアクセス・パイプライン上で検出することによりわかるわけではなく、主記憶制御装置でプライオリティをとった後でなければわからない。しかし、上記文献A、Bのいずれでも、一致を検出する比較器は、アクセスパイプライン対応で設けられていて、主記憶制御装置内にバンク対応で設けることについては配慮されていない。

従つて、本発明の目的は、上記各従来技術の問題点を克服し、最初に読み出された1又は同時複数個（例えば4個）の要素のアドレスと次に読み出された1又は同時複数個（例えば4個）の要素のアドレスとにわたつて、広範囲で、アドレスの一致するものの有無を調べてその一致するものを洩れなく検出し、同一アドレスに対する複数個のアクセス要求の中で、1つのアクセス要求を除く

目の要素から順に100要素ロードする命令が、同時に実行された場合には上記の問題が生じる。

従つて、本発明の別の目的は、複数個のロード/ストア・パイプラインで同時に実行される異なるベクトル・ロード/ストア命令が、同一のアクセスを参照する場合、アクセスが一致することを検出し、同一アドレスに対する複数個のアクセス要求を1個に抑止することにより、バンク・コンフリクトの発生を防ぎ、同時に実行される複数個のベクトル・ロード/ストア命令を効率よく実行できるようなベクトルデータ処理装置を提供することにある。

また、同一バンクに対する複数の異なるアドレスがそれぞれ間を置いて繰り返されるアクセス要求の出されることがある。

従つて、本発明の更に別の目的は、同一バンクに対する複数の異なるアドレスが各々間を置いて繰り返し現れるようなアクセス要求に対しても、そのようなアクセスの繰返しをなくし、それぞれの（異なる）アクセス要求を1回に抑止すること

で、バンクコンフリクトを防止するベクトルデータ処理装置を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するため、本発明のベクトルデータ処理装置では、基本構想として、主記憶装置に対してアクセス要求の出されるアドレスを保持する手段（第2のアドレス保持手段）、及び該手段に保持されたアドレスをその後のアクセス要求によるアドレスと比較してその一致性を検出する手段をいずれも各バンクに対して順次に連続して飛び飛びに出される要素のアドレス間に一致するものがあるかどうかを、広範囲に亘って洩れなく調べて、その一致するものを確実に検出し、一致するアドレスに対するアクセス要求をキャンセル（抑止）する。

更に詳しく述べると、本発明のベクトルデータ処理装置は、ベクトルデータ保持手段と複数のバンクからなる主記憶装置との間で、アクセス要求に従ってロード又はストアのためのデータ転送を要素並列形式で行なう装置において、前記ベクトル

るアドレスがそれぞれ間を空けて複数回繰り返されるアクセス要求のある場合にも適用され、そのような場合には、各々のバンクに対応して、上記の第2アドレス保持手段、読み出しデータ保持手段、及び、書き込みデータ保持手段を複数個ずつ（362a, 362b, 520a~523a, 520b~523b, 730a1~730d1, 730a2~730d2）設けることにより、上記繰返されるアクセス要求をキャンセルして、異なるアドレス毎に1個とすることができる。

本発明の好適な実施例において、1つのロードもしくはストア命令、又は、複数の異なるロードもしくはストア命令に適用される場合、データは要素並列型又は非並列型のいずれであつてもよい。それら全体として同時（並列）及び順次に要素が転送される場合、本発明は、それら同時及び順次の広範囲の要素間でアドレスの一致性を検出することによつて、同一アドレスに対するアクセスの繰返しを確実になくし、バンクコンフリクトを防止する。

(8)

データの要素の主記憶装置上のアドレスで前記データ転送を行なうデータ転送手段より並列的に転送される複数のアドレスをその都度保持する第1のアドレス保持手段350a~dと、その保持されたアドレスの1つを選択する選択手段390と、選択されたアドレスを保持する第2のアドレス保持手段362と、第1及び第2の保持手段にそれぞれ保持された後発及び先発のアドレスを比較してアドレス相互の一致性（同一性）を検出する検出手段380と、一致性の検出時にそのアドレスに対するアクセス要求を1つのみに制限して実行するアクセス抑止手段とを備える。そして、第1及び第2のアドレス保持手段、選択手段、並びに、検出手段は、いずれもバンク対応で設ける。

本発明は、又、複数の異なるベクトル・ロード又はストア命令を実行する場合にも適用され、異なる命令間で同時又は順次の要素間のアドレスが一致するとき、それらのアドレスに対するアクセスを1回に制限するように構成される。

本発明は、又、同一バンクに対する複数の異なる

ロード命令の場合、同一アドレスに対するアクセス要求の中で、処理されるアクセス要求は要素番号の一番小さい（最先の）ものであり、それ以外のものが抑止される。ストア命令の場合、処理されるアクセス要求は要素番号の一番大きい（最後の）ものであり、それ以外のものが抑止される。

（作用）

上記構成によると、以下に分説するように、同一のアドレスをアクセスするインデックス付きベクトル・ロード又はストア命令を実行する場合に発生するバンク、コンフリクトや、同一のアドレスをアクセスする複数個のベクトル・ロード又はストア命令を同時に実行する場合に発生するバンク・コンフリクトを防ぎ、ベクトル・ロード又はストア命令を効率よく実行することができる。

第1に、ベクトル・ロード命令の場合について述べる。

主記憶のバンク対応に設けられている上記各手段を具備したことにより、まず、主記憶に対して読み出し要求の出されたアドレスを、選択手段

390で選択したアドレスを保持する手段362 (362a, 362b)に保持させ、このアドレスから読み出されたデータを、バンクから読み出されたデータを保持する手段520~523 (520a, b~523a, b)に保持させる。

この時、データを転送する手段から送られてくる1個以上のアドレスの中で選択手段が選択したアドレスを保持する手段が保持しているアドレスと一致するものがあるれば、一致したアドレスに対する主記憶アクセスを抑制する。選択手段は、どのデータを転送する手段から送られてきたアドレスが一致したかを示す信号と、選択手段が選択したアドレスを保持する手段の中のどの手段と一致しているかを示す信号とを送出する。これら信号を用いて、バンクから読み出されたデータを保持する手段から、必要なデータをコピーすることによつて、同一アドレスに対する読み出し要求を抑制することができる。

また、データを転送する手段から送られてくる1個以上のアドレスの中で、選択手段が選択した

(9) アドレスを保持する手段が保持しているアドレスと一致するものがない場合でも、データを転送する手段から送られてくるアドレスの中で、互いに一致するものであれば、一致したアドレスに対する読み出し要求を1回に抑制する。選択手段は、どのデータを転送する手段から送られてきたアドレスが互いに一致したかを示す信号を送出する。この信号を用いて、読み出されたデータをコピーすることによつて、同一アドレスに対する複数回の読み出し要求を1回に抑制することができる。前記アドレス保持手段362 (362a, b)に保持されたアドレスは、その後同一バンクに対し、前記保持されたアドレスとは別のアドレスのアクセス要求がある迄保持される。なお、同時に送られて来る互いに異なる複数のアドレスが同一バンクに対するものであるときは、通常のように、所定の順序で順次アクセス要求を出す。

このように、主記憶に対して読み出し要求の出されたアドレスと、このアドレスから読み出されたデータを各バンクに対応して保持することによ

り、前後する連続的な又は飛び飛びの同一アドレスの検出を確実にしてこのアドレスに対する読み出し要求の回数を減らすことができ、バンク・コンフリクトによる性能の低下を抑制することができる。

第2に、ベクトル・ストア命令の場合について述べる。

主記憶のバンク対応に設けられている上記各手段を具備したことにより、まず、主記憶に対して書き込みを行うアドレスを、選択手段が選択したアドレスを保持する手段に保持させ、このアドレスへ書き込むデータを、バンクへ書き込まれるデータを保持する手段730a~730d (730a1~730d1, 730a2~730d2)に保持させる。

この時、データを転送する手段から送られてくる1個以上のアドレスの中で、選択手段が選択したアドレスを保持する手段が保持しているアドレスと一致するものがあるれば、選択手段は、一致したアドレスの中の1つを選択する。また、選択さ

れたアドレスに対応する書き込みデータを、バンクへ書き込まれるデータを保持する手段に保持させ、書き込みデータを更新する。一方、このアドレスに対する書き込み要求は出さない。

次に、データを転送する手段から送られてくる1個以上のアドレスの中で、選択手段が選択したアドレスを保持する手段が保持しているアドレスと一致するものがない場合において、選択手段が選択したアドレスを保持する1個以上の手段の中で、未使用のものがある時には、選択手段は、データを転送する手段から送られてきたアドレスの中から1個を選択する。そして、選択されたアドレスと、このアドレスへ書き込むデータを、それぞれ、選択する手段が選択したアドレスを保持する手段と、バンクへ書き込まれるデータを保持させる手段に保持させる。この時には、このアドレスに対する書き込み要求は出さない。未使用のものがない時には、選択したアドレスを保持する手段が保持しているアドレスに対する書き込み要求を出し、書き込み処理を行う。

このように、主記憶に対して書き込みを行うアドレスと、このアドレスへ書き込むデータを更新しつつ、各バンクに対応して保持することにより、前後する連続的な又は飛び飛びの同一のアドレスの検出を確実にしてこのアドレスに対する書き込み要求の回数を減らすことができ、バンク・コンフリクトによる性能の低下を抑止できる。

(実施例)

第3図は、本発明の主記憶制御装置（ベクトルデータ処理装置）の1実施例であり、以下、第3図に従って、同一のアドレスをアクセスするインデクス付きロード/ストア命令を実行する場合について説明する。本実施例では、ロード/ストア・パイプラインは4要素並列の構成であり、主記憶は、4つのバンクからなる場合について示している。なお、本実施例では、バンク数がたまたま並列要素数と一致しているが、両者の数の間に直接関係はなく、バンク数は通常128程度ある。なお、第1図は以下で述べるように第3図におけるメモリ・リクエスト330の詳細図である。

いて述べる。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合について述べる。

ベクトル・レジスタ100のVRAないしVRDは、それぞれ、要素番号が $4n$ 、 $4n+1$ 、 $4n+2$ 、 $4n+3$ のデータを保持する。インデクス付きロード命令で用いるリスト・ベクトルを保持するVR0のVRAないしVRDより1要素ずつ、計4要素分のリスト・ベクトルが読み出され、読み出された4要素のデータは、104aないし104dを通してアドレス発生部200へ送られる。

アドレス発生部200は、加算器210aないし210dを用いて、ベクトル・ベース・レジスタ106のVBR0が保持する内容と、VR0から読み出された内容を加え、主記憶より読み出すデータのアドレスを計算する。アドレス発生部200は、求めたアドレスを302aないし302dを通して主記憶制御部300へ送る。

(10)

第3図において、100はVRAないしVRDからなるベクトル・レジスタ(VR)、106はベクトル・ベース・レジスタ(VBR)、200はアドレス発生部、210aないし210dは加算器、300は主記憶制御部、330ないし333はメモリ・リクエスト、400はバンク0ないしバンク3の4バンクからなる主記憶、500はフェッチ・データ処理部、600は命令実行制御部、700はストア・データ処理部、1000はロード/ストア・パイプラインを表す。

なお、第3図で、主記憶制御部300中の、後述するバンク番号デコーダ310a~310dよりも左方(310a~310d210a~210d)の部分は、並列要素数に対応して設けられ、これに対し、メモリリクエスト330、331、332、333よりも右方の部分は、バンクの個数に対応して設けられている。

まず、主記憶上にランダムに配置されているベクトル・データをベクトル・レジスタへロードするインデクス付きロード命令を実行する場合につ

ここで、主記憶制御部300の詳細を第4図に示す。第4図における番号と第3図における番号は対応する。第4図において、310aないし310dはバンク番号デコーダ、330ないし333はメモリ・リクエスト、350aないし350dはValidビット付きレジスタ、350a2ないし350d1はValidビット付きレジスタ、350a2ないし350d2はValidビット付きレジスタ、350aないし350d3はValidビット付きレジスタ、360、360-1ないし360-3は優先制御回路、370、370-1ないし370-3はレジスタ、398はAND回路、399aないし399dはレジスタを表す。ここに、Validビット付きレジスタは、値がセットされると値がセットされるのと同時にValidビットが1となり、リセット信号が入るとValidビットが0となるレジスタである。値のセットとリセット信号が同時に入った場合には、リセット信号は即止される。

第4図において、バンク番号デコーダ310a

ないし310dは、アドレス発生部200より302aないし302dを通して送られてきた各アドレスがそれぞれどのバンクに属するか、それからアドレスが属するバンク番号を求め、バンクに対応したメモリ・リクエスト330ないし333の中の1つにアドレスを振り分け転送する。なお、第4図では、このメモリ・リクエスト中の1つに転送するための切換え手段は図示してない。330ないし333はそれぞれ主記憶のバンク0ないしバンク3に対するメモリ・リクエストである。メモリ・リクエスト331ないし333の詳細はメモリ・リクエスト330と同様である。Validビット付きレジスタ350aないし350dは、バンク番号デコード310aないし310dが、メモリ・リクエスト330へ転送したアドレスを保持する。Validビット付きレジスタ350a1ないし350d1は、バンク番号デコード310aないし310dが、メモリ・リクエスト331へ転送したアドレスを保持する。Validビット付きレジスタ350a2ないし350d2は、バンク

から出力されるアドレスを保持する。このアドレスは、次に同一バンクに対し別のアドレスのアクセス要求がなされる迄保持され続ける。Validビット付きレジスタ362のValidビットは、アドレスを保持するとセットされ、365aが1となるとリセットされる。レジスタ370は、371aが1の時に選択回路390から出力されるアドレスを保持する。レジスタ370にアドレスがセットされると、340を通して主記憶400のバンク0に対してアクセス要求とアドレスを送出する。本実施例では、Validビット付きレジスタ362は、ロード命令の場合にはすでに主記憶に対して読み出しを要求したアドレスを保持し、ストア命令の場合には主記憶に対して書き込みを行うアドレスを保持する。一致検出回路380は、Validビット付きレジスタ350aないし350dに保持されているアドレスと、Validビット付きレジスタ362に保持されているアドレスの合計5つのアドレスを比較し、どのValidビット付きレジスタに保持されているアドレスが互いに等しいか

(11) 番号デコード310aないし310dが、メモリ・リクエスト332へ転送したアドレスを保持する。Validビット付きレジスタ350a3ないし350d3は、バンク番号デコード310aないし310dが、メモリ・リクエスト333へ転送したアドレスを保持する。

ここで、メモリ・リクエスト330の詳細を第1図に示す。第1図における番号と第4図における番号は対応する。第1図において、350aないし350dはValidビット付きレジスタ、362はValidビット付きレジスタ、370はレジスタ、380は一致検出回路、390は選択回路を表す。

Validビット付きレジスタ350aないし350dは、第4図におけるバンク番号デコード310aないし310dが転送したアドレスを保持する。Validビット付きレジスタ350aないし350dのValidビットは、アドレスを保持するとセットされ、306a1ないし306a4が1となるとそれぞれリセットされる。Validビット付きレジスタ362は、363aが1の時に選択回路390

を示す信号388を送出する。

一致検出回路380の詳細を第2図に示す。第2図において、382は比較回路を表す。比較回路382は、Validビットの付いた2つのアドレスを比較する回路であり、2つのValidビットが共に1であり、かつ、2つのアドレスが等しい場合に1を出力する。

比較回路382は、5つのValidビット付きレジスタ350aないし350dおよび362の中で、どれとどれとが等しいかを示す信号388を送出する。

第1図に説明を戻す。選択回路390は、ロード命令の場合には、次に示す優先順位に従って、Validビットが1のものがなくなのまで、Validビット付きレジスタ350aないし350dの中から1つずつ選択する。

第1の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362が保持するアドレスと等しいアドレスを保持するものがある場合である。つまり、

信号388の中で $Z=A$ 、 $Z=B$ 、 $Z=C$ 、 $Z=D$ を示す信号の中に1となつているものがある場合である。選択回路390は、 $Z=A$ が1の場合には306a1に1を送出し、 $Z=B$ が1の場合には306a2に1を送出し、 $Z=C$ が1の場合には306a3に1を送出し、 $Z=D$ が1の場合には306a4に1を送出する。 $Z=A$ 、 $Z=B$ 、 $Z=C$ 、 $Z=D$ の中で1のものが2個以上ある場合には、1である信号 $Z=A$ ないし $Z=D$ に対応する306a1ないし306a4のすべてに1を送出する。

第2の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362が保持するアドレスと等しいアドレスを保持するものがない場合である。選択回路390は、Validビット付きレジスタ350aないし350dの中から、350a、350b、350c、350dの優先順位で、Valid信号が1となつているValidビット付きレジスタ350aないし350dが保持しているアドレスを1つ選択

(12) する。選択回路390は、選択したアドレスをレジスタ370およびValidビット付きレジスタ362にセットするために、371aおよび363aに1を送出する。レジスタ370およびValidビット付きレジスタ362は、選択回路390より送出されたアドレスを保持する。レジスタ370にセットされたアドレスは、340を通して主記憶400のバンク0へ送られ、このアドレスに対するデータが主記憶400のバンク0より読み出される。選択回路390は、アドレスを送出すると同時に、選択したValidビット付きレジスタ350aないし350dに対応する信号306a1ないし306a4に1を送出する。Validビット付きレジスタ350a、350b、350c、350dにはそれぞれ、信号306a1、306a2、306a3、306a4が対応する。また、信号308aにも1を送出する。さらに、選択回路390は信号388によつて、選択回路390が選択したValidビット付きレジスタが保持しているアドレスと等しいアドレスを保持しているValidビット付きレジスタを検出し、等しいアド

レスを保持しているValidビット付きレジスタに対応する信号306a1ないし306a4にも1を送出する。306a1ないし306a4によつて、それぞれValidビット付きレジスタ350aないし350dのValidビットはリセットされる。

主記憶400のバンク0へアクセス要求が送られると、バンク・アクセス時間後にアドレスに対応するデータが読み出される。

説明を第4図に戻す。

レジスタ399aは、306a1ないし306d1のいずれか1つが1となつた時に1となり、304が1となつた時に0となる。レジスタ399bないし399dもレジスタ399aと同様である。したがつて、AND回路398の出力である304は、バンク番号デコード310aないし310dがメモリ・リクエスト330ないし333に送出した4要素のアドレスがすべて選択回路360、360-1ないし360-3によつて選択され、これらの4要素のアドレスに対するアクセス要求がすべて主記憶へ送られた時に1となる。304

の信号が第3図の命令実行制御部600に送られ、これによつて、新たに4つの要素のアドレスが、アドレス発生部200より、302aないし302dを通してバンク番号デコード310aないし310dに送られる。こうして、バンク・コンフリクトが生じない限り、毎マシン・サイクル4要素ずつアドレスが送られてくる。

説明を第3図に戻す。

主記憶400を構成するバンク0ないしバンク3は、メモリ・リクエスト330ないし333から送られてきたアドレスのデータを読み出し、バンク・サイクル時間後に読み出したデータを510ないし513へ送出する。

ここで、フエツチ・データ処理部500の詳細を第5図に示す。第5図における番号と第3図における番号は対応する。第5図において、520ないし523はバンク対応のレジスタ、540aないし540dは選択回路、530aないし530dは並列要素数対応のレジスタを表す。

レジスタ520は、信号308aが1の時に、

主記憶400のバンク0から読み出されたデータを保持する。レジスタ520が保持するデータは、メモリ・リクエスト330の詳細を示す第1図のValidビット付きレジスタ362が保持するアドレスに対応する。レジスタ521ないし523は、レジスタ520と同様である。メモリ・リクエスト330ないし333より送られてきた番号308aないし308dは、遅延回路Dによつて、主記憶400からデータが読み出されるタイミングと、レジスタ520ないし523にデータをセットするタイミングとの同期がとられる。選択回路540aは、選択信号306a1が1の場合にはレジスタ520を選択し、選択信号306b1が1の場合にはレジスタ521を選択し、選択信号306c1が1の場合にはレジスタ522を選択し、選択信号306d1が1の場合にはレジスタ523を選択する。ここで、選択信号306a1ないし306d1の中で2つ以上が1となることはない。選択回路540bないし540dも選択回路540aと同様である。レジスタ530aないし530dは、

(13) 選択回路540aないし540dによつて選択されたレジスタ520ないし523が保持するデータを保持する。

再び説明を第3図に戻す。

レジスタ530aないし530dのすべてにデータがセットされると、102aないし102dを通して、読み出したデータは、ベルトル・レジスタ100のVR1に格納される。

以上の手順により、インデクテ付きロード命令は実行される。

次に、インデクス付きストア命令の場合について、第3図を用いて説明する。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされる主記憶に、VR1が保持しているベクトル・データを書き込む場合について述べる。

インデクス付きストア命令の場合には、フエツチ・データ処理部500を用いない代わりにストア・データ処理部700を用いる。

インデクス付きストア命令の場合には、VR0

のVRAないしVRDより1要素ずつ計4要素分のリスト・ベクトルを読み出すと同時に、ストアするデータもVR1のVRAないしVRDより1要素ずつ計4要素分読み出す。VR0から読み出されたデータはアドレス発生部200へ、VR1から読み出されたデータはストア・データ処理部700へ送られる。

ストア・データ処理部700の詳細を第6図に示す。第6図における番号と第3図における番号は対応する。第6図において、720aないし720dは並列要素数対応のレジスタ、730aないし730dはバンク対応のレジスタ、732aないし732dはレジスタ、740aないし740dは選択回路、750aないし750dは組み合わせ回路を表す。

レジスタ720aないし720dは、ベクトル・レジスタ100のVRAないしVRDから読み出されたデータ保持する。選択回路740aは、選択信号752a1が1の場合にはレジスタ720aを選択し、選択信号752a2が1の場合にはレ

ジスタ720bを選択し、選択信号752a3が1の場合にはレジスタ720cを選択し、選択信号752a4が1の場合にはレジスタ720dを選択する。選択回路740bないし740dは、選択回路740aと同様である。レジスタ730aは、309aが1の時に選択回路740aが選択したレジスタ720aないし720dが保持するデータを保持する。レジスタ730aは、第1図においてValidビット付きレジスタ362が保持するアドレスに対応する書き込みデータを保持する。レジスタ730bないし730dは、レジスタ730aと同様である。レジスタ732aないし732dは、それぞれ371aないし371dが1の場合に、それぞれレジスタ730aないし730dが保持するデータを保持する。組み合わせ回路750aは、選択信号306a1ないし306a4の中で1であるもののの中から、306a4、306a3、306a2、306a1の優先順位で1つを選択し、選択した信号に対応する752a1ないし752a4には1を送り、選択しなかつた信号に対応する752a1

ないし752a4には0を送る。752a1ないし752a4は、それぞれ306a1ないし306a4に対応する。選択信号306a1ないし306a4がすべて0の場合には、752a1ないし752a4のすべてに0を送る。組み合わせ回路750bないし750dは、組み合わせ回路750aと同様である。

第3図に説明を戻す。

アドレス発生部200は、インデクス付きロード命令の場合と同様である。

主記憶制御部300の詳細を再び第4図に示す。第4図において、メモリ・リクエスト330ないし333を除いては、インデクス付きロード命令の場合と同様である。

メモリ・リクエスト330の詳細を再び第1図に示し、インデクス付きストア命令の場合について述べる。メモリ・リクエスト331ないし333は、メモリ・リクエスト330と同様である。

選択回路390は、インデクス付きストア命令の場合には、次に示す優先順位に従つて、Validビットが1のものがなくなるまで、Validビット

(14) 付きレジスタ350aないし350dの中から、アドレスを1つずつ選択する。

第1の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362が保持するアドレスと等しいアドレスを保持するものがある場合である。つまり、信号388の中で $Z=A$ 、 $Z=B$ 、 $Z=C$ 、 $Z=D$ を示す信号の中に1となつていものがある場合である。選択回路390は、 $Z=A$ が1の場合には306a1に1を送出し、 $Z=B$ が1の場合には306a2に1を送出し、 $Z=C$ が1の場合には306a3に1を送出し、 $Z=D$ が1の場合には306a4に1を送出する。 $Z=A$ 、 $Z=B$ 、 $Z=C$ 、 $Z=D$ の中で1のものが2個以上ある場合には、1である信号 $Z=A$ ないし $Z=D$ に対応する306a1ないし306a4のすべてに1を送出する。また、選択回路390は、309aにも1を送出する。371aには1を送出しない。つまり、レジスタ370にはアドレスがセットされないで、主記憶400のバンク0に対するア

クセス要求は出ない。

第2の優先順位は、Validビット付きレジスタ362のValidビットが1であり、かつ、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362が保持するアクセスと等しいアドレスを保持するものがない場合である。選択回路390は、Validビット付きレジスタ362を選択し、Validビット付きレジスタ362が保持するアドレスをレジスタ370にセットするために371aに1を送出する。レジスタ370は、選択回路390から送出されたアドレスを保持する。また、第6図において、レジスタ732aは、371aに1を送出されたことにより、レジスタ730aが保持するストア・データを保持する。レジスタ370にアドレスがセットされたことにより、主記憶400のバンク0に対するアクセス要求が出され、第6図におけるレジスタ732aが保持するデータがストアされる。さらに、選択回路390は、365aに1を送出し、Validビット付きレジスタ362の

Validビットをリセットする。

第3の優先順位は、Validビット付きレジスタ362のValidビットが0の場合である。選択回路390は、Validビット付きレジスタ350aないし350dの中から、350a、350b、350c、350dの優先順位で、Valid信号が1となつていValidビット付きレジスタ350aないし350dを1つ選択する。選択回路390は、選択したValidビット付きレジスタ350aないし350dに対応する306a1ないし306a4に1を送出する。Validビット付きレジスタ350a、350b、350c、350dにはそれぞれ、306a1、306a2、306a3、306a4 に対応する。さらに、選択回路390は、信号388によつて、選択したValidビット付きレジスタが保持しているアドレスと等しいアドレスを保持しているValidビット付きレジスタを検出し、等しいアドレスを保持しているValidビット付きレジスタに対応する306a1ないし306a4にも1を送出する。306a1ないし306a4に1が送出されるこ

とにより、選択されたValidビット付きレジスタ350aないし350dのValidビットはリセットされる。選択回路390は、Validビット付きレジスタ362に選択したアドレスをセットするために、363aに1を送出する。Validビット付きレジスタ362は、363aに1が送出されたことにより、選択回路390が送出したアドレスを保持する。選択回路390は、選択したValidビット付きレジスタが保持するアドレスに対応するストア・データを第6図におけるレジスタ730aにセットするために、309aにも1を送出する。

第2と第3の優先順位は、互いに繰り返し実行される。

インデクス付きストア命令が終了した時、Validビット付きレジスタ362のValidビットが1の場合には、選択回路390は、Validビット付きレジスタ362を選択し、Validビット付きレジスタ362が保持するアドレスをレジスタ370にセットするために371aに1を送出する。レジスタ370は、選択回路390から送出された

(15)

アドレスを保持する。また、第6図において、レジスタ732aは、371aに1が送出されたことにより、レジスタ730aが保持するストア・データを保持する。レジスタ370にアドレスがセットされたことにより、主記憶400のバンク0に対するアクセス要求が出され、第6図におけるレジスタ732aが保持するデータがストアされる。さらに、選択回路390は、365aに1を送出し、Validビット付きレジスタ362のValidビットをリセットする。このようにして、まだ主記憶400のバンク0にストアされないままになっていたデータをストアする。

以上の手順により、インデクス付きストア命令は実行される。

以上のように、インデクス付きロード/ストア命令は実行される。

次に、具体的な例によつて、本発明による1実施例の動作を説明する。

(1) リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベ

クトル・データをVR1に読み出す場合。ベクトル・データは12要素からなるとする。VR0の内容は、要素順に0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素(要素番号が0ないし3の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dには、それぞれアドレス4, 4, 4, 4が送出される。

第4図において、バンク番号デコーダ310aないし310dは、302aないし302dに送出されたアドレス4, 4, 4, 4はどのバンクに属するかを調べる。今、主記憶400は、4つのバンクからなるので、アドレス4はバンク0に属する。したがつて、バンク番号デコーダ310aないし310dは、アドレス4, 4, 4, 4それぞれを、メモリ・リクエスト330のValidビッ

ト付きレジスタ350aないし350dにセットする。

第1図において、Validビット付きレジスタ362のValidビットは0である。Validビット付きレジスタ350aないし350dそれぞれのValidビットは1で、アドレスは4である。一致検出回路380は、A=B, A=C, A=Dに対応する信号388に1を送出する。選択回路390は、A=B=C=Dであるので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、レジスタ370とValidビット付きレジスタ362にセットするために、371aと363aに1を送出する。レジスタ370はアドレス4を保持する。Validビット付きレジスタ362もアドレス4を保持し、Validビットは1となる。レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して、アドレス4の読み出し要求が出される。また、選択回路390は、306aに1と308aに1を送出すると同時

(16)

に、 $A=B$ 、 $A=C$ 、 $A=D$ に対応する信号388が1となつているので、306a2ないし306a4にも1を送出する。

第4図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて第3図において、ベクトル・レジスタ100のVR0から次の4要素（要素番号が4ないし7の要素）が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4、4、4、4が送出される。第4図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4、4、4、4はどのバンクに属するかを調べ、バンク番号0に対応するメモリ・リクエスト330のValidビット付きレジスタ350aないし350dにアドレス4、4、4、4をセットする。これらは、最初の4要素に対応するアドレス4がレジスタ370にセットされるのと同時にValidビット付レジス

タ350aないし350dにセットされる。

一方、第5図において、主記憶400のバンク0へ送出された最初の4要素（要素番号が0ないし3の要素）のアドレス4の内容が、バンク・サイクル時間後に読み出され、信号308aによつてレジスタ520にセットされる。選択回路540aないし540dは、選択信号306a1ないし306a4が1であるので、いずれもレジスタ520ないし523の内、レジスタ520を選択する。この結果、レジスタ530aないし530dは、レジスタ520の内容を保持する。レジスタ530aないし530dの内容は、102aないし102dを通して、ベクトル・レジスタ100のVR1の最初の4要素（要素番号が0ないし3の要素）にセットされる。

次に、第1図において、Validビット付きレジスタ350aないし350dは、次の4要素（要素番号が4ないし7の要素）に対応するアドレス4を保持する。また、Validビット付きレジスタ362は、Validビットが1であり、アドレスは

4を保持している。一致検出回路380は、 $Z=A$ 、 $Z=B$ 、 $Z=C$ 、 $Z=D$ に対応する信号388に1を送出する。選択回路390は、 $Z=A=B=C=D$ なので、最初の4要素（要素番号が0ないし3の要素）に対応して360a1ないし360a4に1を送出したのよりも1マシン・サイクル遅れで、306a1ないし306a4に1を送出する。

第5図において、レジスタ520は、要素番号0ないし3の4要素に対して読み出したアドレス4に対するデータを保持する。選択回路540aないし540dは、選択信号306a1ないし306a4が1であるので、いずれレジスタ520ないし523の内、レジスタ520を選択する。こうして、レジスタ520が保持するデータが、最初の4要素の1マシン・サイクル遅れでレジスタ530aないし530dにセットされる。レジスタ530aないし530dの内容は、102aないし102dを通して、ベクトル・レジスタ100のVR1の次の4要素に最初の4要素の1マシン

・サイクル遅れでセットされる。

要素番号4ないし7の4要素と同様にして、要素番号8ないし11の4要素についても、第5図において、レジスタ520が保持するデータが、要素番号4ないし7の4要素の1マシン・サイクル遅れでレジスタ530aないし530dにセットされ、要素番号4ないし7の4要素の1マシン・サイクル遅れでベクトル・レジスタ100のVR1にセットされる。

以上のように、同時に処理される4つの要素のアドレスの間で一致するものの有無を検出するだけではなく、最初の4つの要素のアドレスと次以降の4つの要素のアドレスとにわたつて、一致するものの有無を検出し、同一アドレスに対する複数個のアクセス要求を最初の1個のみに抑止するため、最初の4つの要素の読み出し処理が1回で済むだけではなく、従来は、最初の読み出し処理が終了するまで次の4要素の読み出し処理を待っていたのが（つまり、バンク・サイクル時間の間待ちが生じる）、待たなくてもよくなっている。

(17) 図リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合、ベクトル・データは8要素からなるとする。VR0の内容は、要素順に0, 0, 0, 0, 0, 1, 4, 0とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素(要素番号が0ないし3の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dには、それぞれアドレス4, 4, 4, 4が送出される。

第4図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4, 4, 4, 4はどのバンクに属するかを調べる。今、主記憶400は、4つのバンクからなるので、アドレス4はバンク0に属する。したがつて、バンク番号デコード310aないし310dは、アドレス4, 4, 4, 4それ

は、306a1と308aに1を送出すると同時に、 $A=B$, $A=C$, $A=D$ に対応する信号388が1となつているので、306a2ないし306a4にも1を送出する。

第4図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素(要素番号が4ないし7の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4, 5, 8, 4が送出される。第4図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4, 5, 8, 4はどのバンクに属するかを調べ、要素番号4, 6, 7に対応するアドレス4, 8, 4を、バンク番号0に対応するメモリ・リクエスト330のValidビット付きレジスタ350a, 350c, 350dにセットし、要素番号5に対応するアド

レス5を、バンク番号1に対応するメモリ・リクエスト331のValidビット付きレジスタ350b1にセットする。これらは、最初の4要素に対応するアドレス4がレジスタ370にセットされると同時にValidビット付きレジスタ350a, 350c, 350d, 350b1にセットされる。

一方、第5図において、主記憶400のバンク0へ送出された最初の4要素(要素番号が0ないし3の要素)のアドレス4の内容が、バンク・サイクル時間後に読み出され、信号308aによつてレジスタ520aにセットされる。選択回路540aないし540dは、選択信号306a1ないし306a4が1であるので、いずれもレジスタ520ないし523の内、レジスタ520を選択する。この結果、レジスタ530aないし530dは、レジスタ520の内容を保持する。レジスタ530aないし530dの内容は、102aないし102dを通して、ベクトル・レジスタ100のVR1の最初の4要素(要素番号が0ないし3の要素)にセットされる。

次に、第1図において、Validビット付きレジスタ350a, 350c, 350dは、要素番号4, 6, 7に対応するアドレス4, 8, 4を保持している。Validビット付きレジスタ350bのValidビットは、306a2によつてリセットされ0となる。また、Validビット付きレジスタ362は、Validビットが1であり、アドレスは4を保持している。一致検出回路380は、 $Z=A$, $Z=D$ に対応する信号388に1を送出する。選択回路390は、 $Z=A=D$ なので、最初の4要素(要素番号が0ないし3の要素)に対して306a1ないし306a4に1を送出したのよりも1マシン・サイクル遅れで、306a1と306a4に1を送出する。

第5図において、レジスタ520は、要素番号0ないし3の4要素に対して読み出したアドレス4に対するデータを保持している。選択回路540aと540dは、それぞれ選択信号306a1と306a4が1であるので、レジスタ520ないし523の内、レジスタ520を選択する。こう

して、レジスタ520が保持するデータが、最初の4要素の1マシン・サイクル遅れでレジスタ530aと530dにセットされる。

再び、第1図において、Validビット付きレジスタ350a、350dのValidビットは、それぞれ306a1、306a4によつてリセットされる0となる。一方、Validビット付きレジスタ350cのValidビットは1である。選択回路390は、最初の4要素（要素番号が0ないし3の要素）に対する読み出し処理が終了すると、Validビット付きレジスタ350cを選択する。選択回路390は、Validビット付きレジスタ350cが保持するアドレスをレジスタ370とValidビット付きレジスタ362にセットするために、371aと363aに1を送出する。また、選択回路390は、306a3と308aに1を送出する。バンク・サイクル時間後に、主記憶400のバンク0からデータが読み出される。第5図において、レジスタ520は、308aが1となるので、主記憶400のバンク0からデータが読み出されたデ

(18)ータを保持する。選択回路540cは、306a3が1であるので、レジスタ520を選択する。レジスタ530cは、レジスタ520の内容を保持する。

一方、バンク番号1に対応するメモリ・リクエスト331のValidビット付きレジスタ350b1にセットされた要素番号5のアドレスに対するデータは、上で述べたのと同様にして、また、バンク0の読み出し処理と並行して、主記憶バンク1から読み出され、レジスタ521にセットされる。レジスタ530bは、選択回路540bがレジスタ521を選択するので、レジスタ521の内容を保持する。

レジスタ530aないし530dのすべてにデータがセットされると、レジスタ530aないし530dの内容は、102aないし102dを通して、ベクトル・レジスタ100のVR1の次の4要素にセットされる。

以上のように、必ずしも連続しない要素が同一のアドレスを指し示していても（この例では、要

素番号7）、主記憶のバンク対応に設けられているメモリ・リクエストに一致検出回路を設けているため、連続しない要素間のアドレスの一致を容易に検出し、同一アドレスに対する複数個のアクセス要求を最初の1個のみに抑止することができる。

(3)リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合。ベクトル・データは8要素からなるとする。VR0の内容は、要素順に0、0、1、1、0、0、1、1とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素（要素番号が0ないし3の要素）が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dには、それぞれアドレス4、4、5、5が送出される。

第4図において、バンク番号デコード310a

ないし310dは、302aないし302dに送出されたアドレス4、4、5、5はどのバンクに属するかを調べる。今、主記憶400は、4つのバンクからなるので、アドレス4はバンク0に属し、アドレス5はバンク1に属する。したがつて、バンク番号デコード310aと310bは、アドレス4、4それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aと350bにセットし、バンク番号デコード310cと310dは、アドレス5、5それぞれを、メモリ・リクエスト331のValidビット付きレジスタ350c1と350d1にセットする。

今、メモリ・リクエスト330について述べる。

第1図において、Validビット付きレジスタ362のValidビットは0である。Validビット付きレジスタ350aと350bのValidビットは1で、アドレスは4である。Validビット付きレジスタ350cと350dのValidビットは0である。一致検出回路380は、A=Bに対応する信号388に1を送出する。選択回路390は、A=Bであ

るので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、レジスタ370とValidビット付きレジスタ362にセットするために、371aと363aに1を送出する。レジスタ370はアドレス4を保持する。Validビット付きレジスタ362もアドレス4を保持し、Validビットは1となる。レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して、アドレス4の読み出し要求が出される。また、選択回路390は、306a1と308aに1を送出すると同時に、 $A=B$ に対応する信号388が1となつているので、306a2にも1を送出する。

メモリ・リクエスト331も、メモリ・リクエスト330と同様にして、要素番号2と3のアドレス5に対する読み出し要求を主記憶400のバンク1に対して出し、306b3と306b4に1を送出するとともに、308bに1を送出する。

第4図において、306a1、306a2、

0へ送出されたアドレス4の内容と、主記憶400のバンク1へ送出されたアドレス5の内容が、バンク・サイクル時間後に読み出される。アドレス4の内容は信号308aによつてレジスタ520にセットされ、アドレス5の内容は信号308bによつてレジスタ521にセットされる。選択回路540aないし540dは、306a1, 306a2, 306b3, 306b4が1であるので、それぞれレジスタ520, 520, 521, 521を選択する。レジスタ530aないし530dは、それぞれレジスタ520, 520, 521, 521の内容を保持する。レジスタ530aないし530dの内容は、102aないし102dを通して、ベクトル・レジスタ100のVR1の最初の4要素(要素番号が0ないし3の要素)にセットされる。

次に、第1図において、Validビット付きレジスタ350aと350bのValidビットは1で、アドレスは4である。Validビット付きレジスタ350cと350dのValidビットは0である。また、Validビット付きレジスタ362は、Valid

(19) 306b3, 306b4が1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素(要素番号が4ないし7の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ105のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4, 4, 5, 5が送出される。第4図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4, 4, 5, 5はどのバンクに属するかを調べる。バンク番号デコード310aと310bは、アドレス4, 4それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aと350bにセットし、バンク番号デコード310cと310dは、アドレス5, 5それぞれを、メモリ・リクエスト331のValidビット付きレジスタ350c1と350d1にセットする。

一方、第5図において、主記憶400のバンク

ビットが1であり、アドレスは4を保持している。一致検出回路380は、 $Z=A$, $Z=B$ に対応する信号388に1を送出する。選択回路390は、 $Z=A=B$ なので、要素番号が0と1の要素に対して306a1ないし306a2に1を送出したのよりも1マシン・サイクル遅れで、306a1と306a2に1を送出する。

メモリ・リクエスト331も、メモリ・リクエスト330と同様にして、306b3と306b4に1を送出する。

第5図において、レジスタ520はアドレス4に対するデータを保持し、レジスタ521はアドレス5に対するデータを保持している。選択回路540aと540bは、それぞれ選択信号306a1と306a2が1であるので、レジスタ520ないし523の内、レジスタ520を選択する。こうして、レジスタ520が保持するデータが、最初の4要素の1マシン・サイクル遅れでレジスタ530aと530bにセットされる。また、選択回路540cと540dは、それぞれ選択信号

306b3と306b4が1であるので、レジスタ520ないし523の内、レジスタ521を選択する。こうして、レジスタ521が保持するデータが、最初の4要素の1マシン・サイクル遅れでレジスタ530cと530dにセットされる。このように、最初の4要素の1マシン・サイクル遅れで、次の4要素のデータがレジスタ530aないし530dにセットされる。

レジスタ530aないし530dのすべにデータがセットされると、レジスタ530aないし530dの内容は、102aないし102dを通して、最初の4要素の1マシン・サイクル遅れで、ベクトル・レジスタ100のVR1の次の4要素にセットされる。

以上のように、異なるバンクに属する2つのアドレスが交互に繰り返していても、主記憶のバンク対応に設けられているメモリ・リクエストに一致検出回路を設けているため、バンク対応に設けられているメモリ・リクエストにおいては、同一のアドレスが連続して出現することとなり、容易

(20) にアドレスの一致を検出し、同一アドレスに対する複数個のアクセス要求を最初の1個のみに抑止することができる。

(4) リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされる主記憶に、VR1が保持するベクトル・データをストアする場合。ベクトル・データは8要素からなるとする。VR0の内容は、要素順に0, 0, 0, 0, 0, 4, 0, 0とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素(要素番号が0ないし3の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dには、それぞれアドレス4, 4, 4, 4が送出される。

第4図において、バンク番号デコーダ310aないし310dは、302aないし302dに送出されたアドレス4, 4, 4, 4はどのバンクに

属するかを調べ、バンク番号デコーダ310aないし310dは、アドレス4, 4, 4, 4それぞれを、メモリ・リクエスト300のValidビット付きレジスタ350aないし350dにセットする。

また、第6図において、ベクトル・レジスタ100のVR1より最初の4要素(要素番号が0ないし3の要素)が読みだされ、レジスタ720aないし720dにセットされる。

第1図において、Validビット付きレジスタ362のValidビットは0である。Validビット付きレジスタ350aないし350dそれぞれのValidビットは1で、アドレスは4である。一致検出回路380は、A=B, A=C, A=Dに対応する信号388に1を送出する。選択回路390は、A=B=C=Dであるので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、Validビット付きレジスタ362にセットするために、363aに1を送出する。

Validビット付きレジスタ362はアドレス4を保持し、Validビットは1となる。また、選択回路390は、306a1と309aに1を送出すると同時に、A=B, A=C, A=Dに対応する信号388が1となつているので、306a2ないし306a4にも1を送出する。

第6図において、組み合わせ回路750aは、306a1ないし306a4がすべて1であるので、752a4には1を、752a1ないし752a3には0を送出する。選択回路740aは、信号752a4により、レジスタ720dを選択する。レジスタ730aは、309aが1であるのでレジスタ720dが保持する内容を保持する。

また、第4図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、ベクトル・レジスタ100のVR0から次の4要素(要素番号が4ないし7の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし

302dに、それぞれアドレス4, 8, 4, 4が送出される。さらに、第4図において、バンク番号デコーダ310aないし310dは、302aないし302dに送出されたアドレス4, 8, 4, 4はどのバンクに属するかを調べ、バンク0に対応するメモリ・リクエスト300のValidビット付きレジスタ350aないし350dにアドレス4, 8, 4, 4をセットする。これらは、最初の4要素(要素番号が0ないし3の要素)に対応するアドレス4がレジスタ370にセットされるのと同時にValidビット付きレジスタ350aないし350dにセットされる。これらと並行して、第6図においても、ベクトル・レジスタ100のVR1から次の4要素が読み出され、レジスタ720aないし720dにセットされる。これらは、最初の4要素に対応するデータがレジスタ730aにセットされるのと同時にレジスタ720aないし720dにセットされる。

次に、第1図において、Validビット付きレジスタ350aないし350dは、すべてValidビ

ットは、それぞれ306a1, 306a3, 306a4によつてリセットされ0となる。一方、Validビット付きレジスタ350bのValidビットは1である。Validビット付きレジスタ362はアドレス4を、Validビット付きレジスタ350bはアドレス8を保持しているので、一致検出回路380から一致が検出されたという信号はなくなるため、選択回路390は、Validビット付きレジスタ362を選択する。選択回路390は、Validビット付きレジスタ362が保持するアドレスをレジスタ370にセットするために、371aに1を送出する。レジスタ370は、選択回路390が選択したValidビット付きレジスタ362が保持するアドレスを保持する。一方、第6図において、371aが1となつたので、レジスタ732aは、レジスタ730aが保持する内容、つまり、要素番号7のデータを保持する。第1図において、レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して書き込み要求が出される。こうして、アドレスがレジスタ307から主記憶400のバン

(21) ットが1で、それぞれアドレス4, 8, 4, 4を保持している。また、Validビット付きレジスタ362は、Validビットが1であり、アドレスは4を保持している。一致検出回路380は、Z=A, Z=C, Z=Dに対応する信号388に1を送出する。選択回路390は、Z=A=C=Dなので、要素番号が0ないし3の要素に対して1を送出したのよりも1マシン・サイクル遅れで、306a1, 306a3, 306a4に1を送出する。また、309aにも1を送出する。

第6図において、組み合わせ回路750aは、306a1, 306a3, 306a4が1なので、752a4に1を、752a1ないし752a3に0を送出する。選択回路740aは、752aが1であるのでレジスタ720dを選択する。レジスタ730aは、309aが1であるので、レジスタ720dの内容、つまり、要素番号7のデータを保持する。

再び、第1図において、Validビット付きレジスタ350a, 350c, 350dのValidビッ

ク0へ送出されるのと同期して、データもレジスタ732aから704aを通して主記憶400のバンク0へ送出され、アドレス4に対するストア処理が実行される。また、選択回路390は、Validビット付きレジスタ362のValidビットをリセットするために、365aに1を送出する。

選択回路390は、このストア処理の終了後、Validビット付きレジスタ350bを選択する。選択回路390は、アドレスをValidビット付きレジスタ362にセットするために、363aに1を送出する。また、選択回路390は、306a2と309aに1を送出する。第6図において、組み合わせ回路750aは、306a2が1なので、752a2に1を送出する。選択回路740aは、752aが1であるのでレジスタ720bを選択する。レジスタ730aは、309aが1であるので、レジスタ720bの内容を保持する。

これにより、このストア命令の全ての要素の処理が終了するので、次のマシン・サイクルで、選択回路390は、Validビット付きレジスタ362

を選択する。選択回路390は、Validビット付きレジスタ362が保持するアドレスをレジスタ370にセットするために、371aに1を送出する。レジスタ370は、選択回路390が選択したValidビット付きレジスタ362が保持するアドレスを保持する。一方、第6図において、371aが1となつたので、レジスタ732aは、レジスタ730aが保持する内容を保持する。第1図において、レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して書き込み要求が出される。こうして、アドレスがレジスタ370から主記憶400のバンク0へ送出されるのと同期して、データもレジスタ732aから704aを通して主記憶400のバンク0へ送出され、残りの要素のストア処理が実行される。

以上のように、同時に処理される4つの要素のアドレスの間で一致するものの有無を検出するだけでなく、最初の4つの要素のアドレスと次の4つの要素のアドレスとにわたつて、一致するものの有無を検出し、同一アドレスに対する複数個

(22)のアクセス要求を最後の1個のみに抑止するため、同一アドレスに対するストア処理を1回にすることができる。

以上4つの例について説明したように、この実施例によれば、同時に読み出された4つの要素のアドレスと次以後に同時に読み出される4つずつの要素のアドレスとにわたつて、一致するものの有無を検出し、同一アドレスに対する複数個のアクセス要求の中で、ロード命令の場合には要素番号の一番小さいもの以外のアクセス要求を抑止し、ストア命令の場合には要素番号の一番大きいもの以外のアクセス要求を抑止することにより、バンク・コンフリクトの発生を防ぎ、要素並列型のベクトル計算機におけるインデクス付きロード/ストア命令を効率よく実行できる。

以上の実施例では、第1図において、選択回路390が選択したアドレスを保持する手段であるValidビット付きレジスタ362は1個の場合について述べた。しかし、Validビット付きレジスタ362に相当するアドレスを保持する手段を複

数個備え、さらに、主記憶から読み出されたデータを保持する手段および主記憶へ書き込むデータを保持する手段を、アドレスを保持する手段に対応させて複数個備えれば、複数個の同一のアドレスに対して送出されるアクセス要求の回数を減らすことができる。

次に、アドレスを保持する手段、主記憶から読み出されたデータを保持する手段、主記憶へ書き込むデータを保持する手段を、それぞれ2個備える場合の実施例について第3図を用いて述べる。

第3図において、100はVRAないしVRDからなるベクトル・レジスタ(VR)、106はベクトル・ベース・レジスタ(VBR)、200はアドレス発生部、210aないし210dは加算器、300は主記憶制御部、330ないし333はメモリ・リクエスト、400はバンク0ないしバンク3の4バンクからなる主記憶、500はフエッチ・データ処理部、600は命令実行制御部、700はストア・データ処理部を表す。

まず、主記憶上にランダムに配置されているベ

クトル・データをベクトル・レジスタへロードするインデクス付きロード命令を実行する場合について述べる。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合について述べる。

ベクトル・レジスタ100のVRAないしVRDは、それぞれ、要素番号が $4n$ 、 $4n+1$ 、 $4n+2$ 、 $4n+3$ のデータを保持する。インデクス付きロード命令で用いるリスト・ベクトルを保持するVR0のVRAないしVRDより1要素ずつ、計4要素分のリスト・ベクトルが読み出され、読み出された4要素のデータは、104aないし104dを通してアドレス発生部200へ送られる。

アドレス発生部200は、加算器210aないし210dを用いて、ベクトル・ベース・レジスタ106のVBR0が保持する内容と、VR0から読み出された内容を加え、主記憶より読み出すデータのアドレスを計算する。アドレス発生部200

は、求めたアドレスを302aないし302dを通して主記憶制御部300へ送る。

ここで、主記憶制御部300の詳細を第13図に示す。第13図における番号と第3図における番号は対応する。第13図において、310aないし310dはバンク番号デコード、330ないし333はメモリ・リクエスト、350aないし350dはValidビット付きレジスタ、350a1ないし350d1はValidビット付きレジスタ、350a2ないし350d2はValidビット付きレジスタ、350a3ないし350d3はValidビット付きレジスタ、360、360-1ないし360-3は優先制御回路、370、370-1ないし370-3はレジスタ、398はAND回路、399aないし399dはレジスタを表す。

第13図において、バンク番号デコード310aないし310dは、アドレス発生部200より302aないし302dを通して送られてきたアドレスが属するバンク番号を求め、バンクに対応したメモリ・リクエスト330ないし333の中の1つに

(23) アドレスを転送する。330ないし333はそれぞれ主記憶のバンク0ないしバンク3に対するメモリ・リクエストである。メモリ・リクエスト331ないし333の詳細はメモリ・リクエスト330と同様である。Validビット付きレジスタ350aないし350dは、バンク番号デコード310aないし310dが、メモリ・リクエスト330へ転送したアドレスを保持する。Validビット付レジスタ350a1ないし350d1は、バンク番号デコード310aないし310dが、メモリ・リクエスト331へ転送したアドレスを保持する。Validビット付レジスタ350a2ないし350d2は、バンク番号デコード310aないし310dが、メモリ・リクエスト332へ転送したアドレスを保持する。Validビット付きレジスタ350a3ないし350d3は、バンク番号デコード310aないし310dが、メモリ・リクエスト333へ転送したアドレスを保持する。

ここで、メモリ・リクエスト330の詳細を第9図に示す。第9図における番号と第13図にお

ける番号は対応する。第9図において、350aないし350dはValidビット付きレジスタ、362aないし362bはValidビット付きレジスタ、370はレジスタ、380は一致検出回路、390は選択回路を表す。

Validビット付きレジスタ350aないし350dは、第13図におけるバンク番号デコード310aないし310dが転送したアドレスを保持する。Validビット付きレジスタ350aないし350dのValidビットは、アドレスを保持するとセットされ、306a1ないし306a4が1となるとそれぞれリセットされる。Validビット付きレジスタ362aは、363a1が1の時に選択回路390から出力されるアドレスを保持する。Validビット付きレジスタ362aのValidビットは、アドレスを保持するとセットされ、365a1が1となるとリセットされる。Validビット付きレジスタ362bは、363a2が1の時に選択回路390から出力されるアドレスを保持する。Validビット付きレジスタ362aのValidビットは、アド

レスを保持するとセットされ、365a2が1となるとリセットされる。レジスタ370は、371aが1の時に選択回路390から出力されるアドレスを保持する。レジスタ370にアドレスがセットされると、340を通して主記憶400のバンク0に対してアクセス要求とアドレスを送出する。本実施例では、Validビット付きレジスタ362aないし362bは、ロード命令の場合にはすでに主記憶に対して読み出しを要求したアドレスを保持し、ストア命令の場合には主記憶に対して書き込みを行うアドレスを保持する。一致検出回路380は、Validビット付きレジスタ350aないし350dに保持されているアドレスと、Validビット付きレジスタ362aないし362bに保持されているアドレスの合計6つのアドレスを比較し、どのValidビット付きレジスタに保持されているアドレスが互いに等しいかを示す信号388を送出する。

一致検出回路380の詳細を第10図に示す。第10図において、382は比較回路を表す。比

較回路382は、Validビットの付いた2つのアドレスを比較する回路であり、2つのValidビットが共に1であり、かつ、2つのアドレスが等しい場合に1を出力する。

比較回路382は、6つのValidビット付きレジスタ350aないし350dおよび362aないし362bの中で、どれとどれとが等しいかを示す信号388を送出する。

第9図に説明を戻す。選択回路390は、ロード命令の場合には、次に示す優先順位に従って、Validビットが1のものがなくなるまで、Validビット付きレジスタ350aないし350dの中から1つずつ選択する。

第1の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362aが保持するアドレスと等しいアドレスを保持するものがある場合である。つまり、信号388の中でZ1=A、Z1=B、Z1=C、Z1=Dを示す信号の中に1となつてい

るものがある場合である。選択回路390は、Z1=Aが1の場合には306a1に1を送出し、Z1=Bが1の場合には306a2に1を送出し、Z1=Cが1の場合には306a3に1を送出し、Z1=Dが1の場合には306a4に1を送出する。選択回路390は、Z2=A、Z2=B、Z2=C、Z2=Dの中で1のものが2個以上ある場合には、1である信号Z2=AないしZ2=Dに対応するそれぞれ306a1ないし306a4のすべてに1を送出する。また、367aに1を送出する。

第3の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362aないし362bが保持するアドレスと等しいアドレスを保持するものがない場合である。選択回路390は、Validビット付きレジスタ350aないし350dの中から350a、350b、340c、350dの優先順位で、Valid信号が1となつてい

るものがある場合である。選択回路390は、Z2=Aが1の場合には306a1に1を送出し、Z2=Bが1の場合には306a2に1を送出し、Z2=Cが1の場合には306a3に1を送出し、Z2=Dが1の場合には306a4に1を送出する。選択回路390は、Z1=A、Z1=B、Z1=C、Z1=Dの中で1のものが2個以上ある場合には、1である信号Z1=AないしZ1=Dに対応するそれぞれ306a1ないし306a4のすべてに1を送出する。また、367aに0を送出する。

第2の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362bが保持するアドレスと等しいアドレスを保持するものがある場合である。つまり、信号388の中でZ2=A、Z2=B、Z2=C、Z2=Dを示す信号の中に1となつてい

るものがある場合である。選択回路390は、Z2=Aが1の場合には306a1に1を送出し、Z2=Bが1の場合には306a2に1を送出し、Z2=Cが1の場合には306a3に1を送出し、Z2=Dが1の場合には306a4に1を送出する。選択回路390は、Z2=A、Z2=B、Z2=C、Z2=Dの中で1のものが2個以上ある場合には、1である信号Z2=AないしZ2=Dに対応するそれぞれ306a1ないし306a4のすべてに1を送出する。また、367aに1を送出する。

タ362aまたは362bにセットする（本実施例では、Validビット付きレジスタ362aとValidビット付きレジスタ362bには、交互にアドレスをセットするものとする）ために、Validビット付きレジスタ362aにセットする場合は363a1に1を送出し、Validビット付きレジスタ362bにセットする場合は363a2に1を送出する。レジスタ370およびValidビット付きレジスタ362aまたは362bに1を送出する。レジスタ370およびValidビット付きレジスタ362aまたは362bは、選択回路390より送出されたアドレスを保持する。レジスタ370にセットされたアドレスは、340を通して主記憶400のバンク0へ送られ、このアドレスに対するデータが主記憶400のバンク0より読み出される。選択回路390は、アドレスを送出すると同時に、選択したValidビット付きレジスタ350aないし350dに対応する信号306a1ないし306a4に1を送出する。Validビット付きレジスタ350a、350b、350c、350dにはそれぞれ、

信号306a1, 306a2, 306a3, 306a4 が対応する。また、363a1に1を送出した場合には308a1に1を送出し、363a2に1を送出した場合には308a2に1を送出する。さらに、選択回路390は信号388によつて、選択回路390が選択したValidビット付きレジスタが保持しているアドレスと等しいアドレスを保持しているValidビット付きレジスタを検出し、等しいアドレスを保持しているValidビット付きレジスタに対応する信号306a1ないし306a4にも1を送出する。306a1ないし306a4によつて、それぞれValidビット付きレジスタ350aないし350dのValidビットはリセットされる。

主記憶400のバンク0へアクセス要求が送られると、バンク・アクセス時間後にアドレスに対応するデータが読み出される。

説明を第13図に戻す。

レジスタ399aは、306a1ないし306d1のいずれか1つが1となつた時に1となり、304が1となつた時に0となる。レジスタ399bな

(25) いし399dもレジスタ399aと同様である。したがつて、AND回路398の出力である304は、バンク番号デコード310aないし310dがメモリ・リクエスト330ないし333に送出したアドレスがすべて選択回路360、360-1ないし360-3によつて選択され、これらのアドレスに対するアクセス要求がすべて主記憶へ送られた時に1となる。304の信号によつて、新たに4つの要素のアドレスが、アドレス発生部200より、302aないし302dを通してバンク番号デコード310aないし310dに送られる。こうして、バンク・コンフリクトが生じない限り、毎マシン・サイクル4要素ずつアドレスが送られてくる。

説明を第3図に戻す。

主記憶400を構成するバンク0ないしバンク3は、メモリ・リクエスト330ないし333から送られてきたアドレスのデータを読み出し、バンク・サイクル時間後に読み出したデータを510ないし513へ送出する。

ここで、フエツチ・データ処理部500の詳細を第11図に示す。第11図における番号と第3図における番号は対応する。第11図において、520aないし523a、520bないし523bはレジスタ、530aないし530dはレジスタ、540aないし540dは選択回路、550aないし550dはセレクトを要する。

レジスタ520aは、信号308a1が1の時に、主記憶400のバンク0から読み出されたデータを保持する。レジスタ520aが保持するデータは、メモリ・リクエスト330の詳細を示す第9図のValidビット付きレジスタ362aが保持するアドレスに対応する。レジスタ520bは、信号308a2が1の時に、主記憶400のバンク0から読み出されたデータを保持する。レジスタ520bが保持するデータは、メモリ・リクエスト330の詳細を示す第9図のValidビット付きレジスタ362bが保持するアドレスに対応する。レジスタ521aないし523aは、レジスタ520aと同様である。レジスタ521bない

しレジスタ523bは、レジスタ520bと同様である。メモリ・リクエスト330ないし333より送られてきた信号308a1ないし308d1および308a2ないし308d2は、遅延回路Dによつて、主記憶400からデータが読み出されるタイミングと、レジスタ520aないし523aまたはレジスタ520bないし523bにデータをセットするタイミングとの同期がとられる。セレクト550aは、367aが0の場合にはレジスタ520aを選択し、367aが1の場合にはレジスタ520bを選択する。セレクト550bないし550dもセレクト550aと同様である。選択回路540aは、選択信号306a1が1の場合にはセレクト550aを選択し、選択信号306b1が1の場合にはセレクト550bを選択し、選択信号306c1が1の場合にはセレクト550cを選択し、選択信号306d1が1の場合にはセレクト550dを選択する。ここで、選択信号306a1ないし306d1の中で2つ以上が1となることはない。選択回路540bな

いし540dも選択回路540aと同様である。レジスタ530aないし530dは、選択回路540aないし540dによつて選択されたセクタ550aないし550dが送出するデータを保持する。

再び説明を第3図に戻す。

レジスタ530aないし530dのすべてにデータがセットされると、102aないし102dを通して、読み出したデータは、ベクトル・レジスタ100のVR1に格納される。

以上の手順により、インデクス付きロード命令は実行される。

次に、インデクス付きストア命令の場合について、第3図を用いて説明する。今、リスト・ベクトルVR0、ベクトル・ベース・レジスタVR20によつてアドレス付けされる主記憶に、VR1が保持しているベクトル・データを書き込む場合について述べる。

インデクス付きストア命令の場合には、フェッチ・データ処理部500を用いない代わりにスト

(26)

ア・データ処理部700を用いる。

インデクス付きストア命令の場合には、VR0のVRAnないしVRDより1要素ずつ計4要素分のリスト・ベクトルを読み出すと同時に、ストアするデータもVR1のVRAnないしVRDより1要素ずつ計4要素分読み出す。VR0から読み出されたデータはアドレス発生部200へ、VR1から読み出されたデータはストア・データ処理部700へ送られる。

ストア・データ処理部700の詳細を第12図に示す。第12図における番号と第3図における番号は対応する。第12図において、720aないし720dはレジスタ、730a1ないし730d1はレジスタ、730a2ないし730d2はレジスタ、732aないし732dはレジスタ、734aないし734dはセクタ、740aないし740dは選択回路、750aないし750dは組み合わせ回路を表す。

レジスタ720aないし720dは、ベクトルレジスタ100のVRAnないしVRDから読み出

されたデータを保持する。選択回路740aは、選択信号752a1が1の場合にはレジスタ720aを選択し、選択信号752a2が1の場合にはレジスタ720bを選択し、選択信号752a3が1の場合にはレジスタ720cを選択し、選択信号752a4が1の場合にはレジスタ720dを選択する。選択回路740bないし740dは、選択回路740aと同様である。レジスタ730a1は、309a1が1の時に選択回路740aが選択したデータを保持する。レジスタ730a1は、第9図においてValidビット付きレジスタ362aが保持するアドレスに対応する書き込みデータを保持する。レジスタ730a2は、309a2が1の時に選択回路740aが選択したデータを保持する。レジスタ730a2は、第9図においてValidビット付きレジスタ362bが保持するアドレスに対応する書き込みデータを保持する。レジスタ730b1ないし730d1は、レジスタ730a1と同様である。レジスタ730b2ないし730d2は、レジスタ730a2と同様で

ある。セクタ734aは、367aが0の場合にはレジスタ730a1を選択し、367aが1の場合にはレジスタ730a2を選択する。セクタ734bないし734dは、セクタ734aと同様である。レジスタ732aないし732dは、それぞれ371aないし371dが1の場合に、それぞれセクタ734aないし734dが出力するデータを保持する。組み合わせ回路750aは、選択信号306a1ないし306a4の中で1であるものの中から、306a4、306a3、306a2、306a1の優先順位で1つを選択し、選択した信号に対応する752a1ないし752a4には1を送り、選択しなかつた信号に対応する752a1ないし752a4には0を送る。752a1ないし752a4は、それぞれ306a1ないし306a4に対応する。選択信号306a1ないし306a4がすべて0の場合には、752a1ないし752a4のすべてに0を送る。組み合わせ回路750bないし750dは、組み合わせ回路750aと同様である。

(27)

第3図に説明を戻す。

アドレス発生部200は、インデクス付きロード命令の場合と同様である。

主記憶制御部300の詳細を再び第13図に示す。第13図においてメモリ・リクエスト330ないし333を除いては、インデクス付きロード命令の場合と同様である。

メモリ・リクエスト330の詳細を再び第9図に示し、インデクス付きストア命令の場合について述べる。メモリ・リクエスト331ないし333は、メモリ・リクエスト330と同様である。

選択回路390は、インデクス付きストア命令の場合には、次に示す優先順位に従って、Validビットが1のものがなくなるまで、Validビット付きレジスタ350aないし350dの中から、アドレスを1つずつ選択する。

第1の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362aが保持するアドレスと等しいアドレスを保持するものがある場合である。つま

り、信号388の中で $Z2=A$ 、 $Z2=B$ 、 $Z2=C$ 、 $Z2=D$ を示す信号の中に1となつているものがある場合である。選択回路390は、 $Z2=A$ が1の場合には306a1に1を送出し、 $Z2=B$ が1の場合には306a2に1を送出し、 $Z2=C$ が1の場合には306a3に1を送出し、 $Z2=D$ が1の場合には306a4に1を送出する。 $Z2=A$ 、 $Z2=B$ 、 $Z2=C$ 、 $Z2=D$ の中で1のものが2個以上ある場合には、1である信号 $Z2=A$ ないし $Z2=D$ に対応する306a1ないし306a4のすべてに1を送出する。また、選択回路390は、309a2に1を送出し、367aに1を送出する。371aには1を送出しない。つまり、レジスタ370にはアドレスがセットされないので、主記憶400のバンク0に対するアクセス要求は出ない。

第3の優先順位は、Validビット付きレジスタ362aと362bのValidビットが共に1であり、かつ、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ

り、信号388の中で $Z1=A$ 、 $Z1=B$ 、 $Z1=C$ 、 $Z1=D$ を示す信号の中に1となつているものがある場合である。選択回路390は、 $Z1=A$ が1の場合には306a1に1を送出し、 $Z1=B$ が1の場合には306a2に1を送出し、 $Z1=C$ が1の場合には306a3に1を送出し、 $Z1=D$ が1の場合には306a4に1を送出する。 $Z1=A$ 、 $Z1=B$ 、 $Z1=C$ 、 $Z1=D$ の中で1のものが2個以上ある場合には、1である信号 $Z1=A$ ないし $Z1=D$ に対応する306a1ないし306a4のすべてに1を送出する。また、選択回路390は、309a1に1を送出し、367aに0を送出する。371aには1を送出しない。つまり、レジスタ370にはアドレスがセットされないので、主記憶400のバンク0に対するアクセス要求は出ない。

第2の優先順位は、Validビット付きレジスタ350aないし350dの中に、Validビット付きレジスタ362bが保持するアドレスと等しいアドレスを保持するものがある場合である。つま

362aまたは362bが保持するアドレスと等しいアドレスを保持するものがない場合である。選択回路390は、Validビット付きレジスタ362aまたは362bを選択する（本実施例では、Validビット付きレジスタ362aと362bは交互に選択されとす）。選択回路390は、選択したValidビット付きレジスタ362aまたは362bが保持するアドレスをレジスタ370にセットするために371aに1を送出する。レジスタ370は、選択回路390から送出されたアドレスを保持する。また、選択回路390は、Validビット付きレジスタ362aを選択した場合には367aに0を送出し、Validビット付きレジスタ362bを選択した場合には367aに1を送出する。第12図において、レジスタ732aは、371aに1を送出されたことにより、367aが0の場合にはレジスタ730a1が保持するストア・データを保持し、367aが1の場合にはレジスタ730a2が保持するストア・データを保持する。レジスタ370にアドレスがセットさ

れたことにより、主記憶400のバンク0に対するアクセス要求が出され、第12図におけるレジスタ732aが保持するデータがストアされる。さらに、選択回路390は、Validビット付きレジスタ362aを選択した場合には、365a1に1を送出し、Validビット付きレジスタ362aのValidビットをリセットする。Validビット付きレジスタ362bを選択した場合には、365a2に1を送出し、Validビット付きレジスタ362bのValidビットをリセットする。

第4の優先順位は、Validビット付きレジスタ362aのValidビットが0であるか、または、Validビット付きレジスタ362bのValidビットが0である場合である。選択回路390は、Validビット付きレジスタ350aないし350dの中から350a、350b、350c、350dの優先順位で、Valid信号が1となつているValidビット付きレジスタ350aないし350dを1つ選択する。選択回路390は、選択したValidビット付きレジスタ350aないし350dに対

応する306a1ないし306a4に1を送出する。Validビット付きレジスタ350a、350b、350c、350dにはそれぞれ、306a1、306a2、306a3、306a4が対応する。さらに、信号388によつて、選択回路390は、選択したValidビット付きレジスタが保持しているアドレスと等しいアドレスを保持しているValidビット付きレジスタを検出し、等しいアドレスを保持しているValidビット付きレジスタに対応する306a1ないし306a4にも1を送出する。306a1ないし306a4に1が送出されるたにより、選択されたValidビット付きレジスタ350aないし350dのValidビットはリセットされる。選択回路390は、Validビット付きレジスタ362aのValidビットが0の場合には363a1に1を送出し、Validビット付きレジスタ362aのValidビットが1でValidビット付きレジスタ362bのValidビットが0の場合には363a2に1を送出する。Validビット付きレジスタ362aは、363a1に1が送出された場合には選択回路390

が送出したアドレスを保持する。Validビット付きレジスタ362bは、363a2に1が送出された場合には選択回路390が送出したアドレスを保持する。選択回路390は、363a1に1を送出した場合には309a1にも1を送出し、363a2に1を送出した場合には309a2にも1を送出する。第12図において、レジスタ730a1は、309a1に1が送出された場合には選択回路740aが選択するストア・データを保持し、レジスタ730a2は、309a2に1が送出された場合には選択回路740aが選択するストア・データを保持する。

第3と第4の優先順位は、互いに繰り返し実行される。

ストア命令が終了した時、Validビット付きレジスタ362aのValidビットが1の場合には、選択回路390は、Validビット付きレジスタ362aを選択する。選択回路390は、Validビット付きレジスタ362aが保持するアドレスをレジスタ370にセットするために371aに

1を送出する。レジスタ370は、選択回路390から送出されたアドレスを保持する。また、選択回路390は、367aに0を送出する。第12図において、セレクト734aは、367aが0であるのでレジスタ730a1を選択する。レジスタ732aは、371aに1が送出されたことにより、レジスタ730a1が保持するストア・データを保持する。レジスタ370にアドレスがセットされたことにより、主記憶400のバンク0に対するアクセス要求が出され、第12図におけるレジスタ732aが保持するデータがストアされる。さらに、選択回路390は、365a1に1を送出し、Validビット付きレジスタ362aのValidビットをリセットする。このようにして、まだ主記憶400のバンク0にストアされないままになつていたデータをストアする。

次に、Validビット付きレジスタ362bのValidビットが1の場合には、選択回路390は、Validビット付きレジスタ362bを選択する。選択回路390は、Validビット付きレジスタ

(29)

362bが保持するアドレスをレジスタ370にセットするために371aに1を送出する。レジスタ370は、選択回路390から送出されたアドレスを保持する。また、選択回路390は、367a1に1を送出する。第12図において、セクタ734aは、367aが1であるのでレジスタ730a2を選択する。レジスタ732aは、371aに1が送出されたことにより、レジスタ730a2が保持するストア・データを保持する。レジスタ370にアドレスがセットされたことにより、主記憶400のバンク0に対するアクセス要求が出され、第12図におけるレジスタ732aが保持するデータがストアされる。さらに、選択回路390は、365a2に1を送出し、Validビット付きレジスタ362bのValidビットをリセットする。このようにして、まだ主記憶400のバンク0にストアされないままになっていたデータをストアする。

以上の手順により、インデクス付きストア命令は実行される。

されたアドレス4, 4, 8, 8はどのバンクに属するかを調べる。今、主記憶400は、4つのバンクからなるので、アドレス4、アドレス8ともにバンク0に属する。したがって、バンク番号デコード310aないし310dは、アドレス4, 4, 8, 8それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

第9図において、Validビット付きレジスタ362aと362bのValidビットは0である。Validビット付きレジスタ350aないし350dのValidビットは1で、アドレスはそれぞれ4, 4, 8, 8である。一致検出回路380は、 $A=B$ 、 $C=D$ に対応する信号388に1を送出する。選択回路390は、Validビット付きレジスタ350aのValidビットが1なので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、レジスタ370とValidビット付きレジスタ362aにセットするために、371a

以上のように、インデクス付きロード/ストア命令は実行される。

次に、具体的な例によつて、本実施例の動作を説明する。

(1) リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされるベクトル・データをVR1に読み出す場合。ベクトル・データは12要素からなるとする。VR0の内容は、要素順に0, 0, 4, 4, 0, 0, 4, 4, 0, 0, 4, 4とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素(要素番号が0ないし3の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dには、それぞれアドレス4, 4, 8, 8が送出される。

第13図において、バンク番号デコード310aないし310dは、302aないし302dに送出

と363a1に1を送出する。レジスタ370はアドレス4を保持する。Validビット付きレジスタ362aもアドレス4を保持し、Validビットは1となる。レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して、アドレス4の読み出し要求が出される。選択回路390は、306a1に1を送出すると同時に、 $A=B$ に対応する信号388が1となつていたので、306a2にも1を送出する。また、選択回路390は、363a1に1を送出したので、308a1には1を送出し、367aには0を送出する。Validビット付きレジスタ350aと350bのValidビットは、306a1と306a2によつてリセットされる。

第11図において、アドレス4のデータが、バンク・サイクル時間後に主記憶400のバンク0から読み出される。アドレス4のデータは信号308a1によつてレジスタ520aにセットされる。セクタ550aは、367aが0であるのでレジスタ520aを選択する。選択回路540a

(30)

と540bは、それぞれ306a1と306a2が1であるので、セクタ550aを選択する。レジスタ530aと530bは、セクタ550aが選択するレジスタ520aの内容を保持する。

再び、第9図において、アドレス4のデータが主記憶のバンク0より読み出されると、バンク0がビジー状態でなくなる。このとき、Validビット付きレジスタ350aと350bはValidビットは0であり、Validビット付きレジスタ350cと350dはValidビットは1でアドレス8を保持し、Validビット付きレジスタ362aはValidビットは1でアドレス4を保持し、Validビット付きレジスタ362bのValidビットは0である。一致検出回路380は、C=Dに対応する信号388に1を送出する。選択回路390は、Validビット付きレジスタ350cのValidビットが1なので、Validビット付きレジスタ350cを選択する。選択回路390は、Validビット付きレジスタ350cが保持するアドレス8を、レジスタ370とValidビット付きレジスタ362bにセットす

と540dは、それぞれ306a3ないし306a4が1であるので、セクタ550aを選択する。レジスタ530cと530dは、セクタ550aが選択するレジスタ520bの内容を保持する。

レジスタ530aないし530dのすべてにデータがセットされると、レジスタ530aないし530dの内容は102aないし102dを通して、ベクトル・レジスタ100のVR1の最初の4要素(要素番号が0ないし3の要素)にセットされる。

再び、第13図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素(要素番号が4ないし7の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4, 4, 8, 8が送出される。

第13図において、バンク番号デコーダ310aな

るために、371aと363a2に1を送出する。レジスタ370はアドレス8を保持する。Validビット付きレジスタ362aもアドレス8を保持し、Validビットは1となる。レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して、アドレス8の読み出し要求が出される。選択回路390は、306a3に1を送出すると同時に、C=Dに対応する信号388が1となつていたので、306a4にも1を送出する。また、選択回路390は、363a2に1を送出したので、308a2には1を送出し、367aには1を送出する。Validビット付きレジスタ350cと350dのValidビットは、306a3と306a4によつてリセットされる。

第11図において、アドレス8のデータが、バンク・サイクル時間後に主記憶400のバンク0から読み出される。アドレス8のデータは信号308a2によつてレジスタ520bにセットされる。セクタ550aは、367aが1であるのでレジスタ520bを選択する。選択回路540c

いし310dは、302aないし302dに送出されたアドレス4, 4, 8, 8はどのバンクに属するかを調べる。アドレス4、アドレス8ともにバンク0に属するので、バンク番号デコーダ310aないし310dは、アドレス4, 4, 8, 8それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

次に、第9図において、Validビット付きレジスタ350aないし350dのValidビットは1で、アドレスはそれぞれ4, 4, 8, 8である。Validビット付きレジスタ362aは、Validビットが1であり、アドレスは4を保持している。Validビット付きレジスタ362bは、Validビットが1であり、アドレスは8を保持している。一致検出回路380は、Z1=A, Z1=B, Z2=C, Z2=Dに対応する信号388に1を送出する。選択回路390は、まず、Z1=A=Bなので306a1と306a2に1を送出するとともに、367aに0を送出する。Validビット付

レジスタ350aと350bのValidビットは、306a1と306a2によつてリセットされる。

第11図において、レジスタ520aはアドレス4に対するデータを保持している。セクタ550aは、367aが0なのでレジスタ520aを選択する。選択回路540aと540bは、それぞれ選択信号306a1と306a2が1であるので、セクタ550aないし550dの内、セクタ550aを選択する。この結果、主記憶へ読み出し要求を出すことなしに、レジスタ530aと530bは、レジスタ520aが保持するデータを保持する。

再び、第9図において、Validビット付きレジスタ350aと350bのValidビットは0であり、Validビット付きレジスタ350cと350dはValidビットは1でアドレス8を保持し、Validビット付きレジスタ362aはValidビットは1でアドレス4を保持し、Validビット付きレジスタ362bはValidビットは1でアドレス8を保持している。一致検出回路380は、 $Z2 = C$ 、

(31) $Z2 = D$ に対応する信号388に1を送出する。選択回路390は、 $Z2 = C = D$ なので306a3と306a4に1を送出するとともに、367aに1を送出する。Validビット付きレジスタ350cと350dのValidビットは、306a3と306a4によつてリセットされる。

第11図において、レジスタ520bはアドレス8に対するデータを保持している。セクタ550aは、367aが1なのでレジスタ520bを選択する。選択回路540cと540dは、それぞれ選択信号306a3と306a4が1であるので、セクタ550aないし550dの内、セクタ550aを選択する。この結果、レジスタ530aと530bにデータがセットされる時間の1マシン・サイクル遅れで、レジスタ530cと530dは、レジスタ520bが保持するデータを保持する。

こうして、レジスタ530aないし530dのすべてにデータがセットされると、レジスタ530aないし530dの内容は、102aないし102dを

通して、最初の4要素がベクトル・レジスタ100のVR1にセットされる2マシン・サイクル遅れで、VR1の要素番号が4ないし7の4要素にセットされる。

一方、第13図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素(要素番号が8ないし11の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4, 4, 8, 8が送出される。

要素番号が8ないし11の4要素についても、要素番号が4ないし7の4要素と同様にして、第11図のレジスタ520aおよび520bが保持しているアドレス4と8のデータを利用することにより、要素番号が4ないし7の4要素がベクトル・レジスタ100のVR1にセットされる2マシン・サイクル遅れで、VR1の要素番号が8な

いし11の4要素にセットされる。

以上のように、同一のバンクに属する2つのアドレスを交互にアクセスする場合においても、アドレスを保持する手段、主記憶から読み出されたデータを保持する手段、主記憶へ書き込むデータを保持する手段を、それぞれ2個備えることにより、同一アドレスに対する複数個のアクセス要求を最初の1個のみに抑止することができる。

(2) リスト・ベクトルVR0、ベクトル・ベース・レジスタVBR0によつてアドレス付けされる主記憶に、VR1が保持するベクトル・データをストアする場合。ベクトル・データは12要素からなるとする。VR0の内容は、要素順に0, 0, 4, 4, 0, 0, 4, 4, 4, 4, 8, 8とし、VBR0の内容は4とする。

第3図において、ベクトル・レジスタ100のVR0より最初の4要素(要素番号が0ないし3の要素)が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし

302dには、それぞれアドレス4、4、8、8が送出される。

第13図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4、4、8、8はどのバンクに属するかを調べる。今、主記憶400は、4つのバンクからなるので、アドレス4、アドレス8ともにバンク0に属する。したがって、バンク番号デコード310aないし310dは、アドレス4、4、8、8それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

また、第12図において、ベクトル・レジスタ100のVR1より最初の4要素（要素番号が0ないし3の要素）が読み出され、レジスタ720aないし720dにセットされる。

第9図において、Validビット付きレジスタ362aと362bのValidビットは0である。Validビット付きレジスタ350aないし350dのValidビットは1で、アドレスはそれぞれ4、4、

(32)

8、8である。一致検出回路380は、 $A=B$ 、

$C=D$ に対応する信号388に1を送出する。選択回路390は、Validビット付きレジスタ350aのValidビットが1なので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、Validビット付きレジスタ362aにセットするために363a1に1を送出する。Validビット付きレジスタ362aは、アドレス4を保持し、Validビットは1となる。選択回路390は、306a1に1を送出すると同時に、 $A=B$ に対応する信号388が1となつていたので、306a2にも1を送出する。また、選択回路390は、363a1に1を送出したので、309a1に1を送出する。Validビット付きレジスタ350aと350bのValidビットは、306a1と306a2によつてリセットされる。レジスタ370にアドレスはセットされないで、主記憶400のバンク0に対する書き込み要求は出ない。

第12図において、組み合わせ回路750aは、306a1と306a2が1であるので、752a2に1を送出する。選択回路740aは、752a2が1であるのでレジスタ720bを選択する。レジスタ730a1は、309a1が1であるのでレジスタ720bが保持する内容を保持する。

再び、第9図において、選択回路390が、Validビット付きレジスタ350aと350bを選択した1マシン・サイクル後には、Validビット付きレジスタ350aと350bのValidビットは0であり、Validビット付きレジスタ350cと350dのValidビットは1でアドレス8で保持し、Validビット付きレジスタ362aはValidビットは1でアドレス4を保持し、Validビット付きレジスタ362bのValidビットは0である。一致検出回路380は、 $C=D$ に対応する信号388に1を送出する。選択回路390は、Validビット付きレジスタ350cのValidビットが1なので、Validビット付きレジスタ350cを選択する。選択回路390は、Validビット付きレジ

スタ350cが保持するアドレス8を、Validビット付きレジスタ362bにセットするために、363a2に1を送出する。Validビット付きレジスタ362aはアドレス8を保持し、Validビットは1となる。選択回路390は、306a3に1を送出すると同時に、 $C=D$ に対応する信号388が1となつていたので、306a4にも1を送出する。また、選択回路390は、363a2に1を送出したので、309a2に1を送出する。Validビット付きレジスタ350cと350dのValidビットは、306a3と306a4によつてリセットされる。レジスタ370にアドレスはセットされないで、主記憶400のバンク0に対する書き込み要求は出ない。

第12図において、組み合わせ回路750aは、306a3と306a4が1であるので、752a4に1を送出する。選択回路740aは、752a4が1であるのでレジスタ720dを選択する。レジスタ730a2は、309a2が1であるのでレジスタ720dが保持する内容を保持する。レジ

(33)

スタ730a1の内容は、309a1に1が送出されていないので変わらない。

第13図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素（要素番号が4ないし7の要素）が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、それぞれアドレス4、4、8、8が送出される。

第13図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス4、4、8、8はどのバンクに属するかを調べる。アドレス4、アドレス8ともにバンク0に属するので、バンク番号デコード310aないし310dは、アドレス4、4、8、8それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

1であるのでレジスタ720bを選択する。レジスタ730a1は、309a1は1であるのでレジスタ720bが保持する内容を保持する。つまり、レジスタ730a1は、要素番号5のストア・データを保持する。

再び、第9図において、選択回路390が、Validビット付きレジスタ350aと350bを選択した1マシン・サイクル後には、Validビット付きレジスタ350aと350bのValidビットは0であり、Validビット付きレジスタ350cと350dはValidビットは1でアドレス8を保持し、Validビット付きレジスタ362aはValidビットは1でアドレス4を保持し、Validビット付きレジスタ362bはValidビットは1でアドレス8を保持している。一致検出回路380は、 $Z2 = C$ 、 $Z2 = D$ に対応する信号388に1を送出する。選択回路390は、 $Z2 = C = D$ なので306a3と306a4に1を送出するとともに、309a2に1を送出する。Validビット付きレジスタ350cと350dのValidビットは、

第9図において、Validビット付きレジスタ350aないし350dのValidビットは1で、アドレスはそれぞれ4、4、8、8である。Validビット付きレジスタ362aは、Validビットが1であり、アドレスは4を保持している。Validビット付きレジスタ362bは、Validビットが1であり、アドレスは8を保持している。一致検出回路380は、 $Z1 = A$ 、 $Z1 = B$ 、 $Z2 = C$ 、 $Z2 = D$ に対応する信号388に1を送出する。選択回路390は、まず、 $Z1 = A = B$ なので306a1と306a2に1を送出するとともに、309a1に1を送出する。Validビット付きレジスタ350aと350bのValidビットは、306a1と306a2によつてリセットされる。レジスタ370にアドレスはセットされないで、主記憶400のバンク0に対する書き込み要求は出ない。

第12図において、組み合わせ回路750aは、306a1と306a2が1であるので、752a2に1を送出する。選択回路740aは、752a2が

306a3と306a4によつてリセットされる。レジスタ370にアドレスはセットされないで、主記憶400のバンク0に対する書き込み要求は出ない。

第12図において、組み合わせ回路750aは、306a3と306a4が1であるので、752a4に1を送出する。選択回路740aは、752a4が1であるのでレジスタ720dを選択する。レジスタ730a2は、309a2が1であるのでレジスタ720dが保持する内容を保持する。つまり、レジスタ730a2は、要素番号7のストア・データを保持する。

一方、第13図において、306a1ないし306a4がすべて1となつたので、304から1が送出される。この信号によつて、第3図において、ベクトル・レジスタ100のVR0から次の4要素（要素番号が8ないし11の要素）が読み出され、加算器210aないし210dにおいてベクトル・ベース・レジスタ106のVBR0の内容が加えられ、302aないし302dに、

それぞれアドレス 8, 8, 12, 12 が送出される。

第13図において、バンク番号デコード310aないし310dは、302aないし302dに送出されたアドレス 8, 8, 12, 12 はどのバンクに属するかを調べる。アドレス 8、アドレス 12 とともにバンク 0 に属するので、バンク番号デコード310aないし310dは、アドレス 8, 8, 12, 12 それぞれを、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

第9図において、Validビット付きレジスタ350aないし350dのValidビットは1で、アドレスはそれぞれ 8, 8, 12, 12 である。Validビット付きレジスタ362aは、Validビットが1であり、アドレスは4を保持している。Validビット付きレジスタ362bは、Validビットが1であり、アドレスは8を保持している。一致検出回路380は、 $Z2 = A$, $Z2 = B$, $C = D$ に対応する信号388に1を送出する。選択

350dはValidビットは1でアドレス12を保持し、Validビット付きレジスタ362aはValidビットは1でアドレス4を保持し、Validビット付きレジスタ362bのValidビットは1でアドレス8を保持している。一致検出回路380は、 $C = D$ に対応する信号388に1を送出する。選択回路390は $Z1 \neq C = D$, $Z2 \neq C = D$ であり、Validビット付きレジスタ362aと362bのValidビットがともに1であるので、Validビット付きレジスタ362aを選択する。選択回路390は、Validビット付きレジスタ362aが保持するアドレスをレジスタ370にセットするために、371aに1を送出する。レジスタ370は、選択回路390が選択したValidビット付きレジスタ362aが保持するアドレスを保持する。また、選択回路390は、367aに0を送出する。一方、第12図において、セクタ734aは、367aが0であるのでレジスタ730a1を選択する。レジスタ732aは、371aが1となつたのでセクタ734aが選択するレジスタ

(34) 回路390は、まず、 $Z2 = A = B$ なので306a1と306a2に1を送出するとともに、309a2に1を送出する。Validビット付きレジスタ350aと350bのValidビットは、306a1と306a2によつてリセットされる。レジスタ370にアドレスはセットされないの、主記憶400のバンク0に対する書き込み要求は出ない。

第12図において、組み合せ回路750aは、306a1と306a2が1であるので、752a2に1を送出する。選択回路740aは、752a2が1であるのでレジスタ720bを選択する。レジスタ730a2は、309a2が1であるのでレジスタ720bが保持する内容を保持する。つまり、レジスタ730a2は、要素番号9のストア・データを保持する。

再び、第9図において、選択回路390が、Validビット付きレジスタ350aと350bを選択した1マシン・サイクル後には、Validビット付きレジスタ350aと350bのValidビットは0であり、Validビット付きレジスタ350cと

730a1が保持する内容を保持する。第9図において、レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して書き込み要求が出される。こうして、アドレスがレジスタ370から主記憶400のバンク0へ送出されるのと同期して、データもレジスタ732aから704aを通して主記憶400のバンク0へ送出され、アドレス4に対するストア処理が実行される。また、選択回路390は、Validビット付きレジスタ362aのValidビットをリセットするために、365a1に1を送出する。

アドレス4のデータの書き込み要求が主記憶400のバンク0へ出されると、主記憶400のバンク0は、バンク・サイクル時間の間ビジー状態となる。主記憶400のバンク0がビジー状態でなくなつた時、Validビット付きレジスタ350aと350bのValidビットは0であり、Validビット付きレジスタ350cと350dは、Validビットは1でアドレス12を保持し、Validビット付きレジスタ362aはValidビットは0で、

(35)

Validビット付きレジスタ362bはValidビットは1でアドレス8を保持している。一致検出回路380は、C=Dに対応する信号388に1を送出する。選択回路390は、Validビット付きレジスタ350cのValidビットが1なので、Validビット付きレジスタ350cを選択する。選択回路390は、Validビット付きレジスタ350cが保持するアドレス12を、Validビット付きレジスタ362aにセットするために、363a1に1を送出する。Validビット付きレジスタ362aはアドレス12を保持し、Validビットは1となる。選択回路390は、306a3に1を送出すると同時に、C=Dに対応する信号388が1となつていたので、306a4にも1を送出する。また、選択回路390は、363a1に1を送出したので、309a1に1を送出する。Validビット付きレジスタ350cと350dのValidビットは、306a3と306a4によつてリセットされる。レジスタ370にアドレスはセットされないで、主記憶400のバンク0に

方、第12図において、セクタ734aは、367aが1であるのでレジスタ730a2を選択する。レジスタ732aは、371aが1となつたのでセクタ734aが選択するレジスタ730a2が保持する内容を保持する。第9図において、レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して書き込み要求が出される。こうして、アドレスがレジスタ370から主記憶400のバンク0へ送出されるのと同期して、データもレジスタ732aから704aを通して主記憶400のバンク0へ送出され、アドレス8に対するストア処理が実行される。また、選択回路390は、Validビット付きレジスタ362bのValidビットをリセットするために、365a2に1を送出する。

アドレス8のデータの書き込み要求が主記憶400のバンク0へ出されると、主記憶400のバンク0は、バンク・サイクル時間の間ビジー状態となる。主記憶400のバンク0がビジー状態でなくなると、次に、選択回路390は、Validビット

に対する書き込み要求は出ない。

第12図において、組み合わせ回路750aは、306a3と306a4が1であるので、752a4に1を送出する。選択回路740aは、752a4が1であるのでレジスタ720dを選択する。レジスタ730a1は、309a1が1であるのでレジスタ720dが保持する内容を保持する。

一方、第13図において、306a1なし306a4がすべて1となつたので、304から1が送出される。この信号によつて、このストア命令の全ての要素の処理が終了する。

このため、第9図において、次のマシン・サイクルで、選択回路390は、Validビット付きレジスタ362bを選択する。選択回路390は、Validビット付きレジスタ362bが保持するアドレスをレジスタ370にセットするために、371aに1を送出する。レジスタ370は、選択回路390が選択したValidビット付きレジスタ362bが保持するアドレスを保持する。また、選択回路390は、367aに1を送出する。一

付きレジスタ362aを選択する。選択回路390は、Validビット付きレジスタ362aが保持するアドレスをレジスタ370にセットするために、371aに1を送出する。レジスタ370は、選択回路390が選択したValidビット付きレジスタ362aが保持するアドレスを保持する。また、選択回路390は、367aに0を送出する。一方、第12図において、セクタ734aは、367aが0であるのでレジスタ730a1を選択する。レジスタ732aは、371aが1となつたのでセクタ734aが選択するレジスタ730a1が保持する内容を保持する。第9図において、レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して書き込み要求が出される。こうして、アドレスがレジスタ370から主記憶400のバンク0へ送出されるのと同期して、データもレジスタ732aから704aを通して主記憶400のバンク0へ送出され、アドレス12に対するストア処理が実行される。また、選択回路390は、Validビット付

(36)

レジスタ362aのValidビットをリセットするために、365a1に1を送出する。

以上のようにして、インデクス付きストア命令が実行される。

以上のように、同一バンクに属する2つのアドレスを交互にアクセスする場合においても、アドレスを保持する手段、主記憶から読み出されたデータを保持する手段、主記憶へ書き込むデータを保持する手段を、それぞれ2個備えることにより、同一アドレスに対する複数個のストア要求を最後の1個の要素のみに抑止することができる。

以上、本実施例では、アドレスを保持する手段、主記憶から読み出されたデータを保持する手段、主記憶へ書き込むデータを保持する手段を、それぞれ2個備えているが、これらの手段を2個に限る必要はない。これらの手段を3個以上ずつ備えることにより、同一のバンクに属する3つ以上の同一アドレスに対するアクセスの回数を減らすことができる。

また、本実施例では、4要素並列処理の場合に

御部、330ないし333はメモリ・リクエスト、400はバンク0ないしバンク3からなる主記憶、500はフエツチ・データ処理部、600は命令実行制御部、700はストア・データ処理部を表す。

2つのベクトル・ロード命令0とベクトル・ロード命令1が同時に実行される場合について述べる。ベクトル・ロード命令によつて読み出されるベクトル・データのアドレスは、加算器210aないし210bによつて2要素ずつ同時に計算されるか、もしくは加算器211aないし211bによつて2要素ずつ同時に計算される。加算器210a、211aは、要素番号が2nの要素のアドレスを計算し、加算器210b、211bは、要素番号が2n+1の要素のアドレスを計算する。加算器210a、210b、211a、211bは、ベクトル・データが主記憶上に一定の間隔で配置される場合には、ベクトル・ベース・レジスタ106が保持する内容にベクトル増分レジスタ108が保持する内容に要素番号を乗じた値を加

ついて述べているが、4要素に限定する必要はない。また、主記憶のバンク数を4に限定する必要もない。要素並列度や主記憶のバンク数を増加させることにより、インデクス付きロード/ストア命令を一層効率よく処理できる。

以上、1つのインデクス付きロード/ストア命令において、同一のアドレスをアクセスする場合について述べた。しかし、本発明を示す第1図は、2要素並列の2組のロード/ストア・パイプラインを用いて、同一のアドレスを参照する2つのロード命令0およびロード命令1を処理する場合や、2つのストア命令0およびストア命令1を処理する場合にも適用できる。この場合を第8図を用いて説明する。

第8図において、100はVRAないしVRBからなるベクトル・レジスタ(VR)、106はベクトル・ベース・レジスタ(VBR)、108はベクトル増分レジスタ(VIR)、200ないし201はアドレス発生部、210a、210b、211a、211bは加算器、300は主記憶制

御部、330ないし333はメモリ・リクエスト、400はバンク0ないしバンク3からなる主記憶、500はフエツチ・データ処理部、600は命令実行制御部、700はストア・データ処理部を表す。

2つのベクトル・ロード命令0とベクトル・ロード命令1が同時に実行される場合について述べる。ベクトル・ロード命令によつて読み出されるベクトル・データのアドレスは、加算器210aないし210bによつて2要素ずつ同時に計算され、ベクトルロード命令1によつて読み出されるベクトル・データのアドレスは、加算器211aないし211bによつて2要素ずつ同時に計算される。アドレス発生部200は、加算器210aないし210bによつて求められたベクトル・ロード命令0のアドレスを302aないし302bを通して主記憶制御部300へ送る。アドレス発生部201は、加算器211aないし211bによつて求められたベクトル・ロード命令1のアドレスを302cないし302dを通して主記憶制御部300へ送る。

主記憶制御部300の中の主記憶のバンク対応に設けられたメモリ・リクエスト330ないし333

は、1つのインデックス付きロード命令を実行する場合と同様にして、アドレスの一致の有無を検出し、同一のアドレスに対する主記憶のアクセス回数を抑止する。つまり、この場合、第1図のValidビット付きレジスタ350aおよび350bにはベクトル・ロード命令0のアドレスを保持させ、Validビット付きレジスタ350cおよび350dにはベクトル・ロード命令1のアドレスを保持させる。

主記憶制御部300へ送られたアドレスに対するデータは、1つのインデックス付きロード命令を実行する場合と同様にして、主記憶400から読み出され、フエッチ・データ処理部500のレジスタ530aないし530dにセットされる。ベクトル・ロード命令0に対するデータはレジスタ530aないし530bにセットされ、102aないし102bを通してベクトル・レジスタ100のVRAないしVRBに格納される。ベクトル・ロード命令1に対するデータはレジスタ530cないし530dにセットされ、102aないし

(37)

102bを通してベクトル・レジスタ100のVRAないしVRBに格納される。

以上のように、2つのベクトル・ストア命令0とベクトル・ストア命令1が同時に実行される場合についても、ベクトル・ロード命令の場合と同様に、本発明によつて、同一のアドレスを参照することを検出し、同一のアドレスに対する主記憶アクセスを1回に抑止できる。

このように、2要素並列の2組のロード/ストア・パイプラインを用いて、2つのロード命令0およびロード命令1を処理する場合や、2つのストア命令0およびストア命令1を処理する場合には、2つの命令が同一のアドレスをアクセスする場合を検出し主記憶アクセス要求を抑止するので、ベクトル・ロード/ストア命令は、インデックス付きロード/ストア命令ではなく、一定間隔に主記憶上に配置されたベクトル・データをインクリメンタルにアクセスするものであつてもよい。

また、本実施例は、2要素並列のロード/ストア・パイプライン2組に関するものであるが、要

素並列の数およびロード/ストア・パイプラインの組数を2に限る必要はない。

(発明の効果)

以上詳しく述べたように、本発明によれば、主記憶装置へリクエストされるアドレスを保持する第2のアドレス保持手段を設けると共に、この第2のアドレス保持手段と、順次に転送されるアドレス相互の一致性の検出手段とを特に、バンク対応で設けたので、同時に転送される要素間や同一ライン上の順次連続して転送される要素間でアドレスが一致する場合だけでなく、順次に間を置いて転送される要素間や順次に異なるラインに跨つて転送される要素間でアドレスが一致する場合でも、広範囲に亘つてその一致を確実に検出して、アクセス回数を1回のみに制限することができ、その結果、同一の主記憶アドレスを連続してアクセスするインデックス付きロード/ストア命令や、同一の主記憶アドレスをアクセスする複数個の同時に実行されるベクトル・ロード/ストア命令を、バンクコンフリクトを防止して効率よく処理する

ことができる。

4. 図面の簡単な説明

第1図は、本発明の1実施例を示すものであつて、第3図におけるメモリ・リクエストの詳細回路図、第2図は第1図における一致検出回路の詳細図、第3図は本発明を含むベクトル・データ処理装置の1実施例のブロック図、第4図は第3図における主記憶制御部の詳細図、第5図は第3図におけるフエッチ・データ処理部の詳細図、第6図は第3図におけるストア・データ処理部の詳細図、第7図は従来のベクトル・データ処理装置のブロック図、第8図は、本発明の他の1実施例を示すものであつて、2組のロード/ストア・パイプラインからなるベクトル・データ処理装置のブロック図、第9図ないし第13図は本発明の更に他の実施例の詳細図であつて、第9図は第3図におけるメモリ・リクエストの詳細図、第10図は第9図における一致検出回路の詳細図、第11図は第3図におけるフエッチ・データ処理部の詳細図、第12図は第3図におけるストア・データ処

(38)

理部の詳細図、第13図は第3図における主記憶制御部の詳細図である。

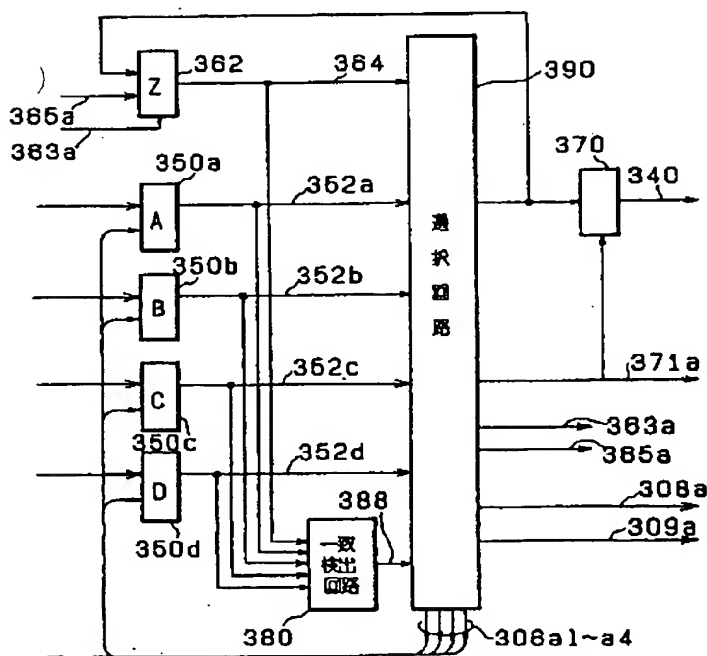
100……ベクトル・レジスタ、106……ベクトル・ベース・レジスタ、108……ベクトル増分レジスタ、200……アドレス発生部、210aないし210d……加算器、220……一致検出回路、300……主記憶制御部、310aないし310d……バンク番号デコーダ、330ないし333……メモリ・リクエスト、350aないし350d、350a1ないし350d1、350a2ないし350d2、350a3ないし350d3……Validビット付きレジスタ、362、362a、362b……Validビット付きレジスタ、370、370-1、370-2、370-3……レジスタ、380……一致検出回路、382……比較回路、390……選択回路、398……AND回路、399aないし399d……レジスタ、400……主記憶、500……フエッチ・データ処理部、520ないし523、520aないし523a、520bないし523b

……レジスタ、530aないし530d……レジスタ、540aないし540d……選択回路、550aないし550d……セクタ、600……命令実行制御部、700……ストア・データ処理部、720aないし720d……レジスタ、740aないし740d……選択回路、730aないし730d、730a1ないし730d1、730a2ないし730d2……レジスタ、732aないし732d……レジスタ、750aないし750d……組み合わせ回路、734aないし734d……セクタ、800……アクセス・データ処理部。

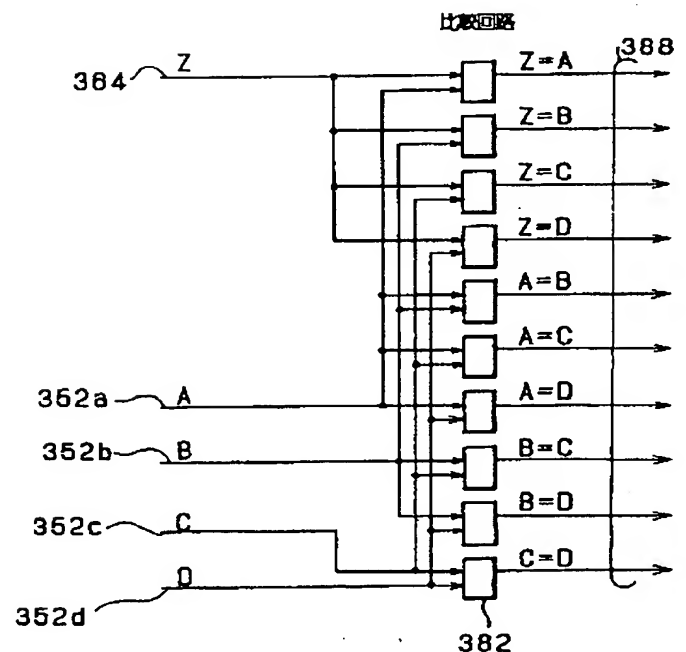
代理人 弁理士 武 頭次郎 (外1名)



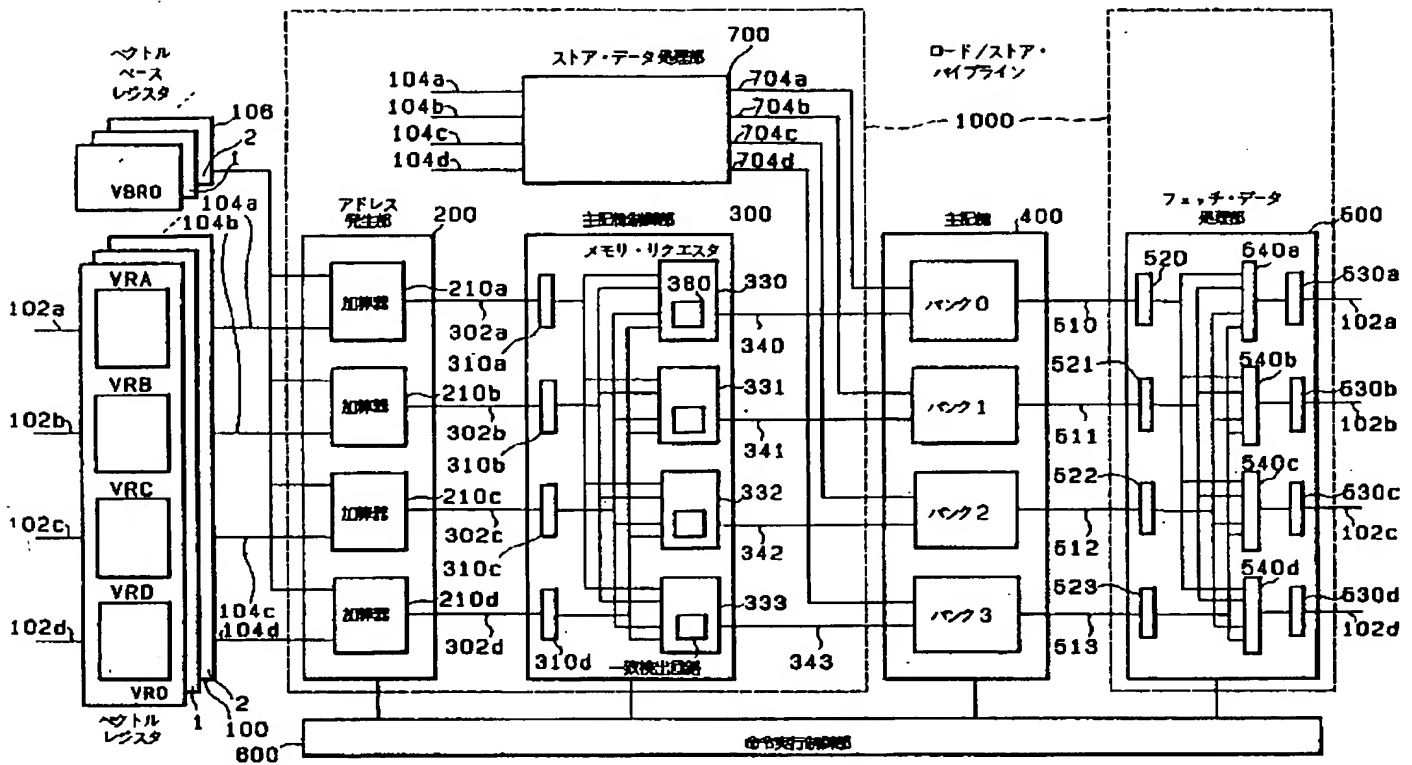
第1図



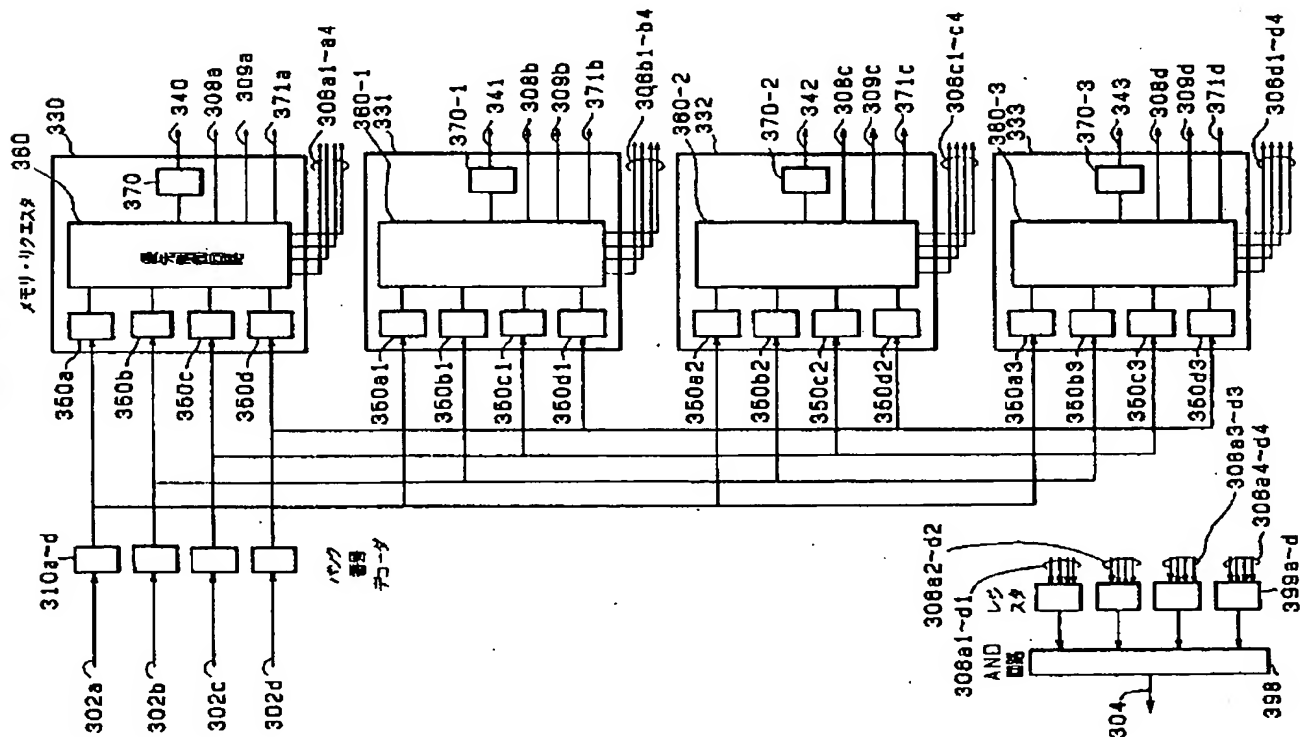
第2図



第 3 図

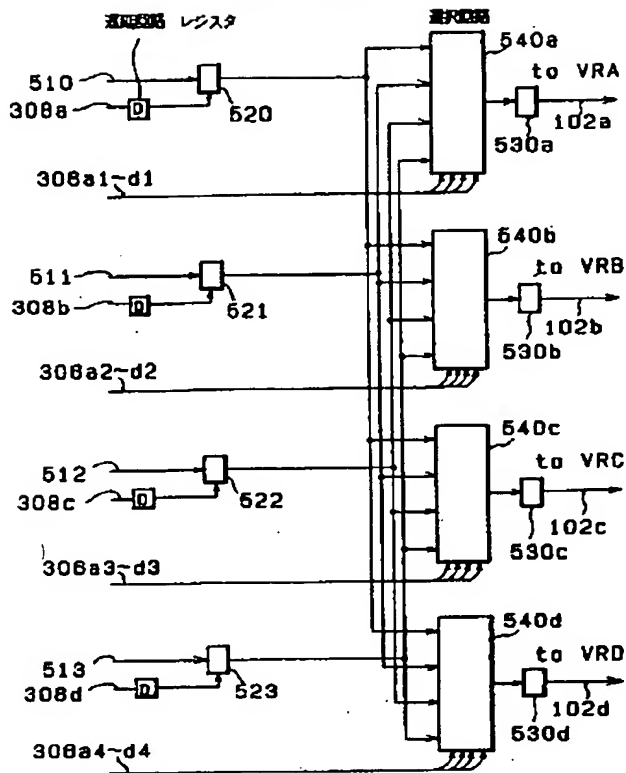


第 4 図

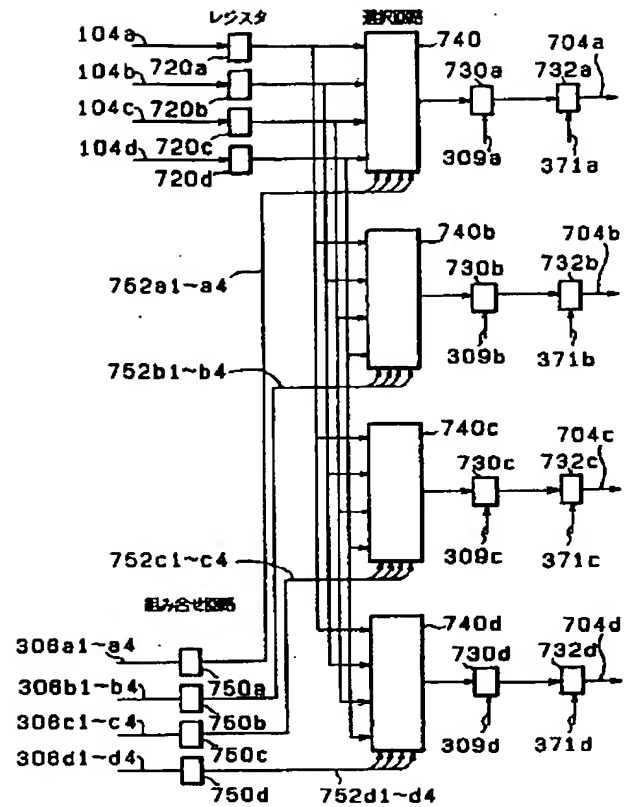


(40)

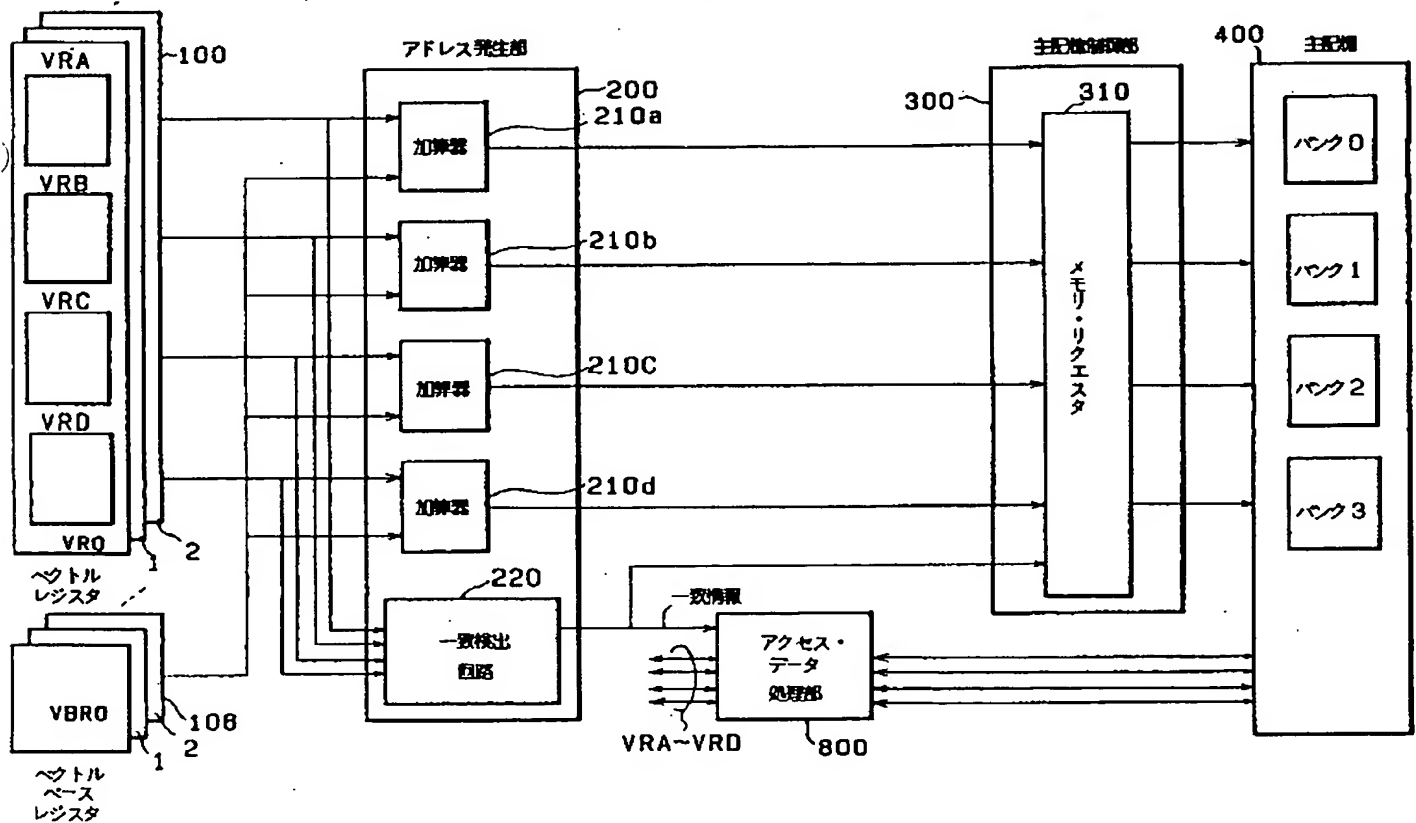
第 5 図



第 6 図

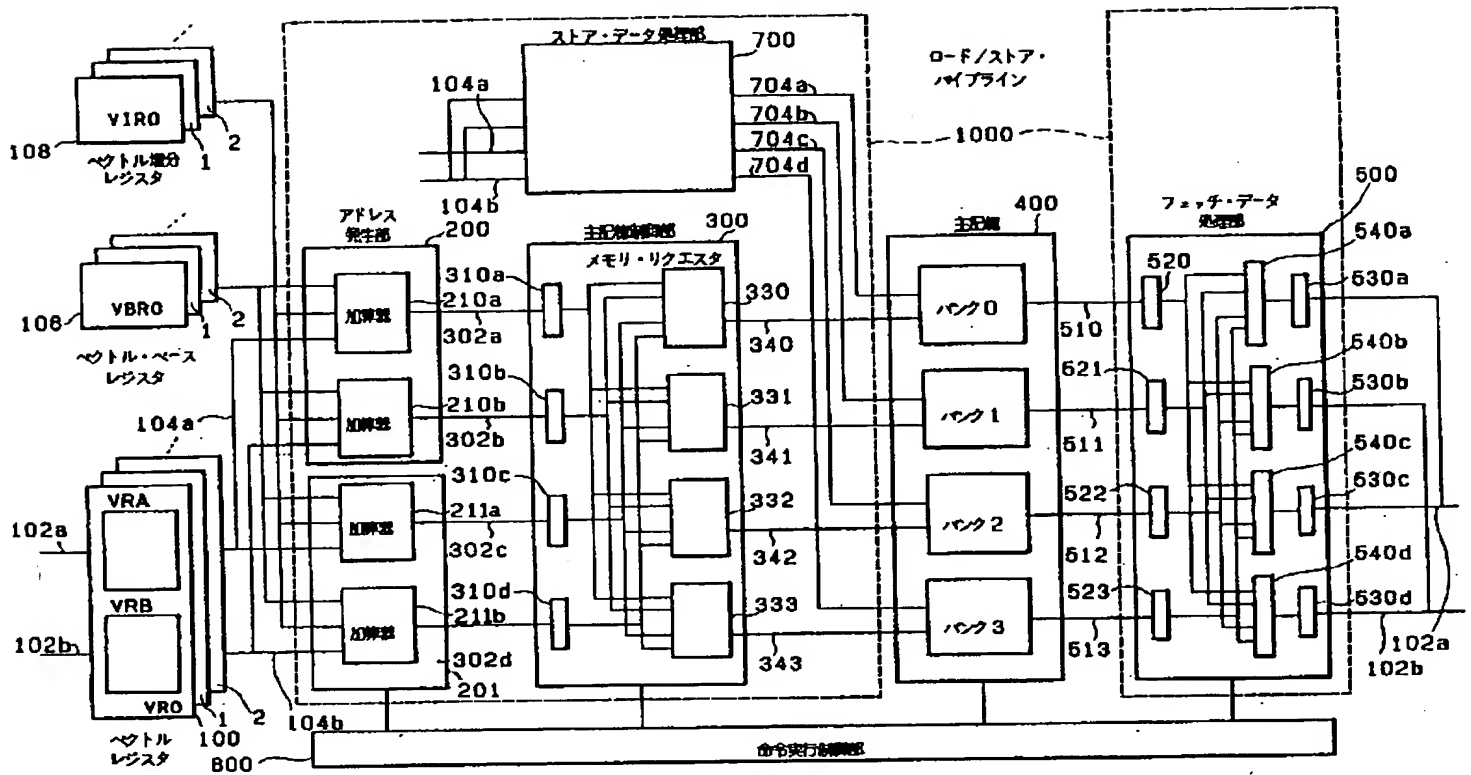


第 7 図



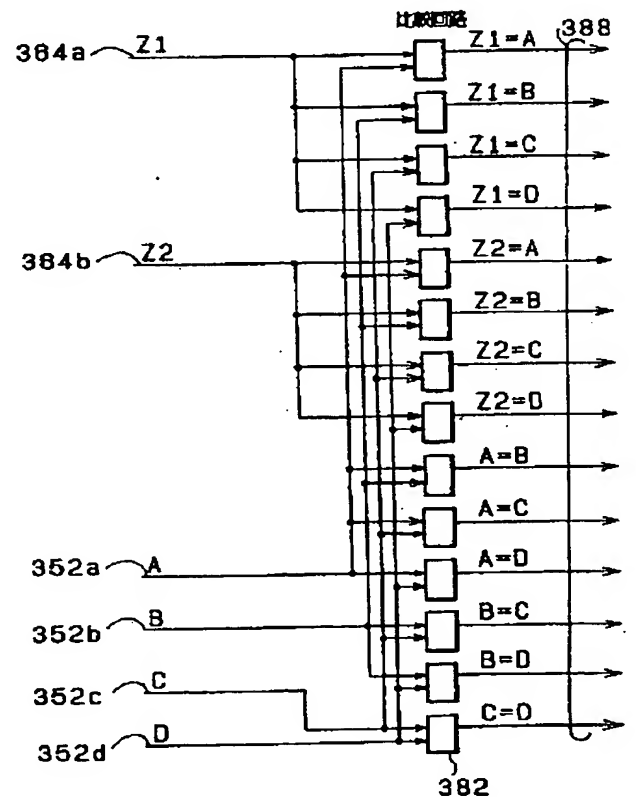
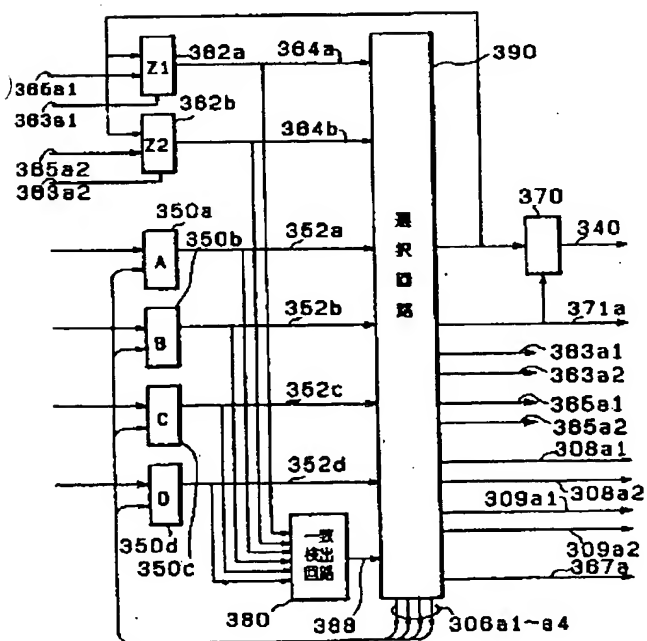
(41)

第 8 図



第 10 図

第 9 図



第 12 図

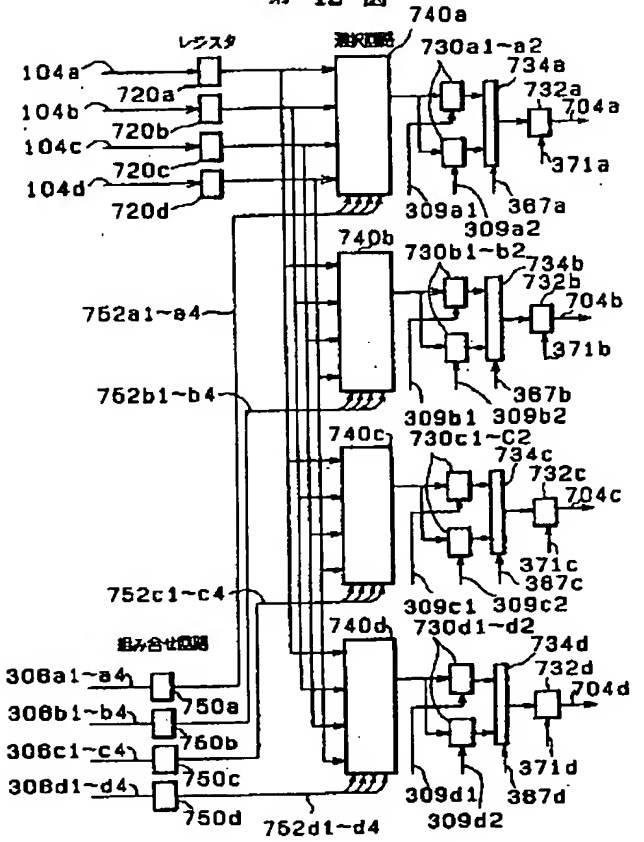
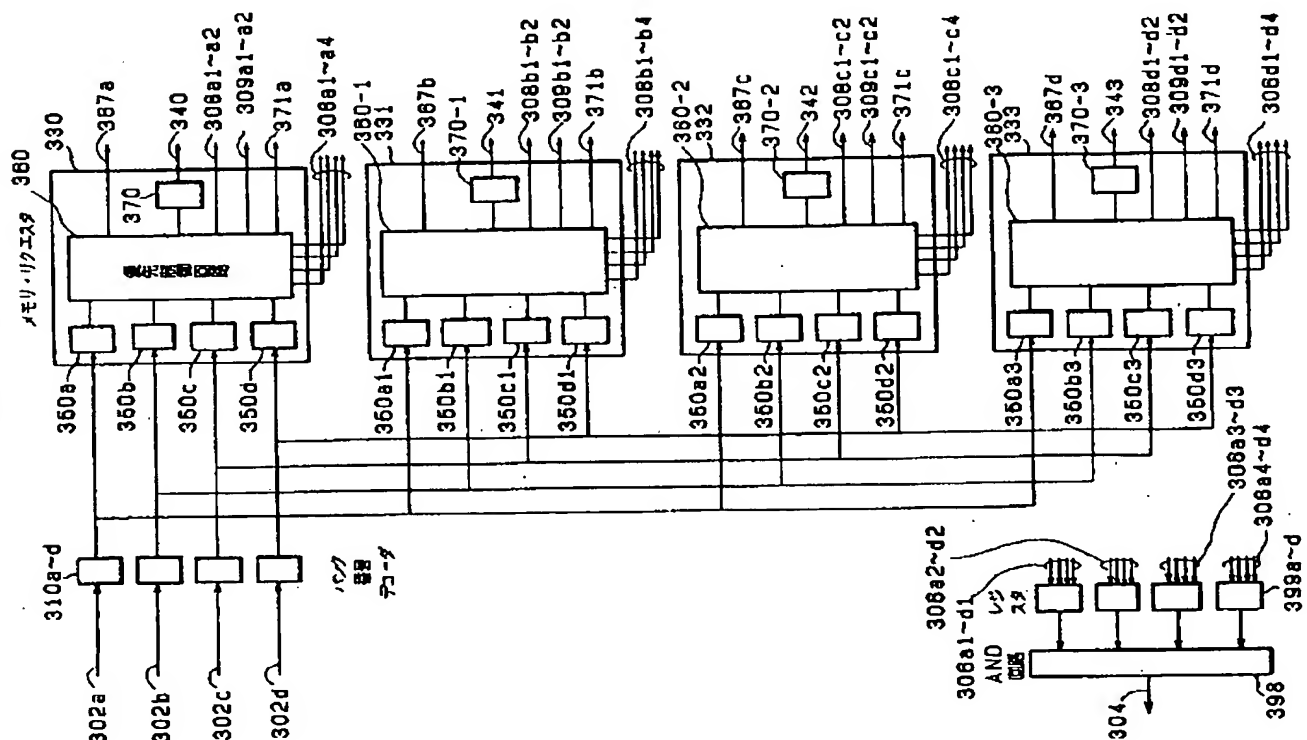


圖 13 試



手続補正書 (自発)

(43)

昭和62年12月29日

特許庁長官殿



1 事件の表示 62-350244

昭和62年12月28日特許出願(9) 前記号なし
後記号なし

2 発明の名称

ベクトルデータ処理装置

3 補正をする者

事件との関係 出願人

特許庁

63. 1. 4

(510) 株式会社 日立製作所

4 代理人

〒105 東京都港区西新橋1丁目6番13号

柏屋ビル

(7813) 弁護士 武 顕次郎

5 補正命令の日付 自発補正

6 補正により増加する発明の数 なし

7 補正の内容

(1) 昭和62年12月28日差し出しの明細書第63頁目と第64頁目の間(第63頁末行「ないし310dは、アドレス4, 4, 4, 4それ」と第64頁1行「は、306a1と308aに1を送出すると同時」の間)に、下記の文を挿入する。

記

「それぞれ、メモリ・リクエスト330のValidビット付きレジスタ350aないし350dにセットする。

第1図において、Validビット付きレジスタ362のValidビットは0である。Validビット付きレジスタ350aないし350dそれぞれのValidビットは1で、アドレスは4である。一致検出回路380は、 $A=B$, $A=C$, $A=D$ に対応する信号388に1を送出する。選択回路390は、 $A=B=C=D$ であるので、Validビット付きレジスタ350aを選択する。選択回路390は、Validビット付きレジスタ350aが保持するアドレス4を、レジスタ370とValidビット付きレジスタ362にセットするために、371aと363aに1を送出する。レジスタ370はアドレス4を保持する。Validビット付きレジスタ362もアドレス4を保持し、Validビットは1となる。レジスタ370にアドレスがセットされたので、主記憶400のバンク0に対して、アドレス4の読み出し要求が出される。また、選択回路390」

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.